

Docket No.: 57454-224

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hideto HIDAKA

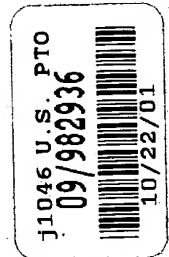
Serial No.:

Group Art Unit:

Filed: October 22, 2001

Examiner:

For: THIN FILM MAGNETIC MEMORY DEVICE HAVING A MAGNETIC TUNNEL
JUNCTION



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-145984, Filed May 16, 2001.

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:kjw
Date: October 22, 2001
Facsimile: (202) 756-8087

57454-224
Hideo Hidaka
October 22, 2001

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月16日

出 願 番 号

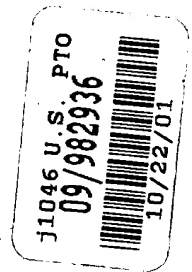
Application Number:

特願2001-145984

出 願 人

Applicant(s):

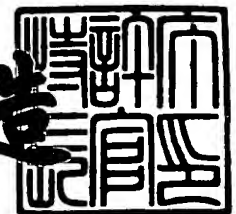
三菱電機株式会社



2001年 5月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3050369

【書類名】 特許願

【整理番号】 530398JP01

【提出日】 平成13年 5月16日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 日高 秀人

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置

【特許請求の範囲】

【請求項 1】 印加磁界によって書込まれた記憶データレベルに応じて電気抵抗値が変化する複数のメモリセルと、

各々が、前記複数のメモリセルの一定区分ごとに設けられ、データ読出時に前記記憶データレベルを読出するための複数の第 1 のデータ線と、

前記複数の第 1 のデータ線に対応してそれぞれ配置されて、各々が、前記データ読出時において、前記一定区分に属するメモリセルのうちの選択された 1 つを介して、前記複数の第 1 のデータ線のうちの対応する 1 本と電氣的に結合される複数のソース線と、

前記複数の第 1 のデータ線に対応してそれぞれ配置される複数の第 1 のデータ線選択部とを備え、

前記第 1 のデータ線選択部は、前記データ読出の前において、前記複数の第 1 のデータ線のうちの対応する 1 本を第 1 の電圧にプリチャージするとともに、前記データ読出時において、前記対応する 1 本の第 1 のデータ線を前記第 1 の電圧から電氣的に切離し、

前記複数のソース線に対応してそれぞれ配置される複数のソース線選択部をさらに備え、

各前記ソース線選択部は、

前記データ読出の前に、前記複数のソース線のうちの対応する 1 本を第 2 の電圧にプリチャージするためのソース線プリチャージ部と、

前記データ読出時において、前記対応する 1 本のソース線を第 3 の電圧と電氣的に結合するためのソース線駆動部とを含む、薄膜磁性体記憶装置。

【請求項 2】 前記第 1 および第 2 の電圧は、同一の電圧である、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 3】 前記同一の電圧は接地電圧に相当する、請求項 2 記載の薄膜磁性体記憶装置。

【請求項 4】 各前記メモリセルは、その両端に印加される電圧が大きくな

るにつれて、前記記憶データレベルに違いに応じて生じる電気抵抗値の差が現れにくくなる特性を有し、

前記第1および第2の電圧は、同一の電圧であり、

各前記ソース線駆動部は、前記対応する1本のソース線と前記第3の電圧との間に所定の通過電流量の電流経路を形成して、前記対応する1本のソース線における、前記データ読出時の電圧変化速度を調整するための第1の電流スイッチ部を有する、請求項1記載の薄膜磁性体記憶装置。

【請求項5】 各前記ソース線プリチャージ部は、前記対応する1本のソース線と前記第2の電圧との間に電氣的に結合される第2の電流スイッチ部を有し、

前記第1の電流スイッチ部の前記通過電流量は、前記第2の電流スイッチ部の通過電流量よりも小さい、請求項4記載の薄膜磁性体記憶装置。

【請求項6】 前記複数のメモリセルは行列状に配置され、

前記複数の第1のデータ線は、メモリセル列にそれぞれ対応して設けられ、

各前記第1のデータ線選択部は、対応するメモリセル列がデータ読出対象に選択された場合において、前記対応する1本の第1のデータ線を前記第1の電圧と電氣的に切離し、

非選択のメモリセル列に対応する残りの第1のデータ線は、前記第1の電圧に維持される、請求項1記載の薄膜磁性体記憶装置。

【請求項7】 前記メモリセル列にそれぞれ対応して配置され、各々が対応するメモリセル列の選択および非選択にそれぞれ対応して活性化もしくは非活性化される複数のコラム選択線をさらに備え、

前記第1のデータ線プリチャージ部は、前記対応する1本の第1のデータ線と前記第1の電圧との間に電氣的に結合されて、前記対応する1つのコラム選択線の前記活性化および非活性化にそれぞれ応答してオフおよびオンするトランジスタスイッチを有する、請求項6記載の薄膜磁性体記憶装置。

【請求項8】 前記複数のメモリセルは行列状に配置され、

前記複数のソース線は、メモリセル列にそれぞれ対応して設けられ、

前記ソース線駆動部は、対応するメモリセル列がデータ読出対象に選択された

場合において、前記対応する 1 本のソース線を前記第 3 の電圧と電氣的に結合し

非選択のメモリセル列に対応する残りのソース線は、前記第 2 の電圧に維持される、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 9】 前記メモリセル列にそれぞれ対応して配置され、各々が対応するメモリセル列の選択および非選択にそれぞれ対応して活性化および非活性化される複数のコラム選択線をさらに備え、

前記ソース線駆動部は、前記対応する 1 本のソース線と前記第 3 の電圧との間に電氣的に結合されて、前記複数のコラム選択線のうちの対応する 1 本の前記活性化および非活性化にそれぞれ応答してオンおよびオフする第 1 のトランジスタスイッチを有し、

前記ソース線プリチャージ部は、前記対応する 1 本のソース線と前記第 2 の電圧との間に電氣的に結合されて、前記対応する 1 本のコラム選択線の前記活性化および非活性化にそれぞれ応答してオフおよびオンする第 2 のトランジスタスイッチを有する、請求項 8 記載の薄膜磁性体記憶装置。

【請求項 10】 前記データ読出時において、前記複数の第 1 のデータ線のうちの 1 本の電圧と比較するための参照電圧が伝達される第 2 のデータ線と、

前記第 1 および第 2 のデータ線の電圧差を検知増幅するためのデータ読出回路と、

前記記憶データレベルにそれぞれ対応する、各前記メモリセルの前記電気抵抗値の中間の電気抵抗値を有するダミーメモリセルと、

前記第 2 のデータ線に対応して配置され、前記データ読出時において、前記ダミーメモリセルを介して、前記第 2 のデータ線と電氣的に結合されるダミーソース線と、

前記複数の第 2 のデータ線に対応する第 2 のデータ線選択部と、

前記ダミーソース線に対応にするダミーソース線選択部とを備え、

前記第 2 のデータ線選択部は、前記データ読出前において、前記第 2 のデータ線を前記第 1 の電圧にプリチャージするとともに、前記データ読出時において、前記第 2 のデータ線を前記第 1 の電圧と電氣的に切離し、

前記ダミーソース線選択部は、

前記データ読出の前に、前記ダミーソース線のうちの対応する1本を前記第2の電圧にプリチャージするためのダミーソース線プリチャージ部と、

前記データ読出時において、前記ダミーソース線を前記第3の電圧と電氣的に結合するためのダミーソース線駆動部とを含む、請求項1記載の薄膜磁性体記憶装置。

【請求項11】 前記データ読出回路と前記第3の電圧との間に形成される、データ読出対象に選択されたメモリセルを含む第1の電流経路中の第1のデータ線の電気抵抗値と、前記ダミーメモリセルを含む第2の電流経路中の前記第2のデータ線との電気抵抗値とが同様となるように、前記複数の第1のデータ線および前記第2のデータ線の単位長当たりの電気抵抗値は設計される、請求項10記載の薄膜磁性体記憶装置。

【請求項12】 前記第2のデータ線は、前記複数の第1のデータ線のそれぞれに対応して複数本配置され、

前記複数個の第2のデータ線にそれぞれ対応する前記ダミーソース線の各々は、各前記複数のソース線と共通の配線を共有して設けられ、

各ダミーソース線に対応する前記ダミーソース線選択部は、各前記第1のソース線選択部を共有して設けられる、請求項10記載の薄膜磁性体記憶装置。

【請求項13】 データ記憶を実行するためのメモリセルを備え、

前記メモリセルは、

記憶データのレベルに応じて電気抵抗値が変化する磁気記憶部を含み、

前記磁気記憶部は、

固定された所定の磁化方向を保持する第1の磁性体層と、

磁化困難方向に沿った磁界を印加するための第1のデータ書込磁界および、磁化容易方向に沿った磁界を印加するための第2のデータ書込磁界の組合せに応じて書込まれる磁化方向を保持する第2の磁性体層とを有し、

前記第1のデータ書込磁界を発生させる第1のデータ書込電流を流すための第1の信号線と、

前記第2のデータ書込磁界を発生させる第2のデータ書込電流を流すための第

2の信号線とをさらに備え、

データ書込時において、前記第1のデータ書込電流の供給は、前記第2のデータ書込電流の供給よりも先に開始される、薄膜磁性体記憶装置。

【請求項14】 前記第2の信号線は、データ読出時において、前記磁気記憶部を通過させるためのデータ読出電流を流し、

前記第2の信号線における、データ読出動作の開始から前記データ読出電流が流れ始める時間は、データ書込動作の開始から前記第2のデータ書込電流が流れ始めるまでの時間よりも短い、請求項13記載の薄膜磁性体記憶装置。

【請求項15】 前記データ読出時において、前記メモリセルを介して前記第2の信号線と電氣的に結合される第3の信号線と、

前記第2の信号線の電圧を制御するための第1の信号線選択部と、

前記第3の信号線の電圧を制御するための第2の信号線選択部とをさらに備え

前記第1の信号線選択部は、前記データ読出の前において、前記複数の第2の信号線のうちの対応する1本を第1の電圧にプリチャージするとともに、前記データ読出時において、前記対応する1本の第2の信号線を前記第1の電圧から電氣的に切離し、

前記第2の信号線選択部は、

前記データ読出の前に、前記第3の信号線を第2の電圧にプリチャージするためのプリチャージ部と、

前記データ読出時において、前記第3の信号線を第3の電圧と電氣的に結合するための信号線駆動部とを含む、請求項13記載の薄膜磁性体記憶装置。

【請求項16】 行列状に配置された複数のメモリセルを備え、

前記複数のメモリセルの各々は、

第1および第2のデータ書込磁界の組合せによって書込まれた記憶データレベルに応じて電気抵抗値が変化する磁気記憶部を含み、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時において選択的に活性化されて、前記第1のデータ書込磁界を発生させるための第1のデータ書込電流が流される複数の書込ワード線と、

前記複数のメモリセルの列にそれぞれ対応して配置される複数のビット線と、
前記列にそれぞれ対応して配置され、各々が、前記複数のビット線のうちの対応する1本との間に、対応する前記列に属するメモリセルを挟むように配置される複数のソース線と、

前記列にそれぞれ対応して配置され、データ書込時において、前記複数のソース線およびビット線のうちの列選択結果に対応する1本ずつの一端側同士を電気的に結合するための複数の結合スイッチと、

前記データ書込時において前記第2のデータ書込磁界を発生させる第2のデータ書込電流を供給するためのデータ書込回路とをさらに備え、

前記データ書込回路は、前記列選択結果に対応する1本ずつのソース線およびビット線他端側のそれぞれを、前記記憶データのレベルに応じて第1および第2の電圧の一方ずつと結合する、薄膜磁性体記憶装置。

【請求項17】 各前記メモリセルは、

データ読出時において選択的にオンして、前記複数のデータ線およびソース線のうちの対応する1本ずつの間に前記磁気記憶部を電気的に結合するためのアクセス部をさらに含み、

前記薄膜磁性体記憶装置は、

データ読出時において、前記列選択結果に対応する1本ずつのソース線およびビット線の前記他端側のそれぞれを、前記第1および前記第2の電圧のそれぞれと電気的に結合するとともに、前記列選択結果に対応するビット線の電圧変化に基づいてデータ読出を実行するデータ読出回路をさらに備え、

前記複数の結合スイッチは、前記データ読出時において、前記列選択結果に対応する1本ずつのソース線およびビット線の前記一端側同士を電気的に切離す、請求項16記載の薄膜磁性体記憶装置。

【請求項18】 行列状に配置された複数のメモリセルを備え、

前記複数のメモリセルの各々は、
、第1および第2のデータ書込磁界の組合せによって書込まれた記憶データレベルに応じて電気抵抗値が変化する磁気記憶部を含み、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に

て前記第1のデータ書込磁界を発生させる第1のデータ書込電流を流すために選択的に活性化される複数の書込ワード線と、

前記行にそれぞれ対応して配置され、各々の一端側が第1の電圧と結合される複数のソース線と、

前記複数のメモリセルの列にそれぞれ対応して配置され、前記データ書込時において前記第2のデータ書込磁界を発生させる第2のデータ書込電流の供給を、列選択結果に応じて選択的に受ける複数のビット線と、

前記データ書込時において、前記複数の書込ワード線のうちの活性化された1本の一端側を第2の電圧と結合するためのワード線ドライバとを備え、

前記第2のデータ書込電流は、前記活性化された書込ワード線および、前記複数のソース線のうちの前記活性化された書込ワード線と他端側同士が電氣的に結合された少なくとも1本によって構成される電流経路を流れる、薄膜磁性体記憶装置。

【請求項19】 前記複数のビット線およびソース線のうちの同一の前記行に対応する1本ずつの前記他端側同士は電氣的に結合され、

各前記ビット線および各前記ソース線は、各前記ビット線および各前記ソース線をそれぞれ流れる前記第2のデータ書込電流によって前記磁気記憶部にそれぞれ生じる磁界の方向が揃うように配置される、請求項18記載の薄膜磁性体記憶装置。

【請求項20】 各前記ビット線および各前記ソース線は、前記磁気記憶部を高さ方向に挟むように配置される、請求項19記載の薄膜磁性体記憶装置。

【請求項21】 各前記書込ワード線と、他の前記行に属する複数の前記ソース線との間にそれぞれ配置される複数の結合スイッチをさらに備え、

前記データ書込時において、前記活性化された書込ワード線に対応する前記少なくとも1つの結合スイッチはオンする、請求項18記載の薄膜磁性体記憶装置。

【請求項22】 行列状に配置された複数のメモリセルを備え、
前記複数のメモリセルの各々は、
第1および第2のデータ書込磁界の組合せによって書込まれた記憶データレベ

ルに応じて電気抵抗値が変化する磁気記憶部と、

前記磁気記憶部と直列に結合されて、データ読出時において選択的にオンしてデータ読出電流を通過するとともに、データ書込時においてオフされるアクセス部とを含み、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時において行選択結果に応じて前記アクセス部をオンさせる複数の読出ワード線と、

前記行にそれぞれ対応して配置され、データ書込時において前記第1のデータ書込磁界を発生させる第1のデータ書込電流を流すために選択的に活性化される複数の書込ワード線と、

前記複数のメモリセルの列にそれぞれ対応して配置され、各々が、前記メモリセルを介して前記複数の書込ワード線と電氣的に結合される複数のビット線と、

前記データ書込時において前記第2のデータ書込磁界を発生させる第2のデータ書込電流を流すために、前記複数の書込ワード線のうちの活性化された1本の一端側を第1の電圧と結合するとともに残りの書込ワード線を第2の電圧に設定するためのワード線ドライバと、

各前記書込ワード線と他の前記行に属する複数の前記書込ワード線の各々との間に結合され、結合された2本の書込ワード線のうちのいずれか一方が活性化された場合にオンする結合スイッチと、

データ読出時において、前記複数のビット線のうちの前記列選択結果に対応する1本に対してデータ読出電流を供給するとともに、前記列選択結果に対応する1本のビット線の電圧変化に基づいてデータ読出を実行するデータ読出回路とをさらに備え、

前記ワード線ドライバは、前記データ読出時において、各前記書込ワード線を読出基準電圧に設定する、薄膜磁性体記憶装置。

【請求項23】 行列状に配置された複数のメモリセルを備え、

前記複数のメモリセルの各々は、

書込まれた記憶データレベルに応じて電気抵抗値が変化する磁気記憶部と、

データ読出時において選択的にオンしてデータ読出電流を通過するためのアクセス部とを含み、

前記複数のメモリセルの列にそれぞれ対応して設けられ、データ読出時において前記データ読出電流の供給を選択的に受ける複数のデータ線と、

前記列にそれぞれ対応して設けられ、前記データ読出時において列選択結果に応じて選択的に活性化されて、前記複数のデータ線のうちの対応する1つの電圧と比較される参照電圧を生成する参照電圧生成部とを備え、

各前記メモリセルは、前記複数のデータ線のうちの対応する1本と所定電圧との間に結合される、薄膜磁性体記憶装置。

【請求項24】 前記列にそれぞれ対応して設けられ、前記データ読出時において、対応する前記列がデータ読出対象に選択された場合に前記データ読出電流の供給を受けるダミーデータ線をさらに備え、

前記参照電圧生成部は、

各前記メモリセルの前記記憶データレベルのそれぞれに対応する前記電気抵抗値の中間の電気抵抗値を有するダミー抵抗と、前記対応する1つのデータ線および前記所定電圧の間に直列に電氣的に結合されて、対応する前記列が選択された場合にオンするダミーアクセス部とを有するダミーメモリセルと、

対応する前記列がデータ読出対象に選択された場合に、前記ダミーアクセス部をオンさせるためのダミー選択部とを含む、請求項23記載の薄膜磁性体記憶装置。

【請求項25】 前記参照電圧生成部は、各前記列ごとに2個ずつ配置され、

各前記データ線およびダミーデータ線は、前記列の各々に対応して設けられる2本ずつの信号線を用いて構成され、

前記2本ずつの信号線的一方および他方は、行選択結果に応じて、前記メモリセルおよび前記ダミーメモリセルのいずれか一方ずつと電氣的に結合される、請求項24記載の薄膜磁性体記憶装置。

【請求項26】 前記複数のデータ線に対応してそれぞれ配置されて、各々が、前記データ読出時において、同一の前記列に属するメモリセルのうちの選択された1つを介して、前記複数のデータ線のうちの対応する1本と電氣的に結合される複数のソース線と、

前記複数のデータ線に対応してそれぞれ配置される複数のデータ線選択部と、
前記複数のソース線に対応してそれぞれ配置される複数のソース線選択部とを
さらに備え、

各前記データ線選択部は、前記データ読出の前に、前記複数のデータ線のうち
の対応する 1 本を第 1 の電圧にプリチャージするとともに、前記データ読出時に
おいて、前記対応する 1 本のデータ線を前記第 1 の電圧と電氣的に切離し、

各前記ソース線選択ゲートは、

前記データ読出の前に、前記複数のソース線のうちの対応する 1 本を第 2 の電
圧にプリチャージするためのソース線プリチャージ部と、

前記データ読出時において、前記対応する 1 本のソース線を前記所定電圧と電
氣的に結合するためのソース線駆動部とを含む、請求項 2 3 記載の薄膜磁性体記
憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合（
MTJ : Magnetic Tunneling Junction）を有するメモリセルを備えたランダム
アクセス可能な薄膜磁性体記憶装置に関する。

【0002】

【従来の技術】

低消費電力で不揮発的なデータの記憶が可能な記憶装置として、MRAM（Ma
gnetic Random Access Memory）デバイスが注目されている。MRAMデバイス
は、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記
憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置であ
る。

【0003】

特に、近年では磁気トンネル接合（MTJ : Magnetic Tunnel Junction）を利用
したトンネル磁気抵抗素子をメモリセルとして用いることによって、MRAM
装置の性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有す

るメモリセルを備えたMRAMデバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000.および“Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000.等の技術文献に開示されている。

【0004】

図39は、磁気トンネル接合部を有するメモリセル（以下、単に「MTJメモリセル」とも称する）の構成を示す概略図である。

【0005】

図39を参照して、MTJメモリセルは、記憶データのデータレベルに応じて電気抵抗値が変化する磁気トンネル接合部MTJと、アクセストランジスタATRとを備える。アクセストランジスタATRは、電界効果トランジスタで形成され、ビット線BLと接地電圧VSSとの間に、磁気トンネル接合部MTJと直列に接続される。

【0006】

MTJメモリセルに対しては、データ書込を指示するためのライトワード線WLと、データ読出を指示するためのリードワード線RWLと、データ読出時およびデータ書込時において記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線BLとが配置される。

【0007】

図40は、MTJメモリセルからのデータ読出動作を説明する概念図である。

図40を参照して、磁気トンネル接合部MTJは、一定方向の固定磁化方向を有する磁性体層（以下、単に「固定磁気層」とも称する）FLと、自由な磁化方向を有する磁性体層（以下、単に「自由磁気層」とも称する）VLとを有する。固定磁気層FLおよび自由磁気層VLとの間には、絶縁体膜で形成されるトンネルバリアTBが配置される。自由磁気層VLは、記憶データのレベルに応じた方向、すなわち固定磁気層FLと同一方向あるいは異なる方向のいずれか一方に磁化されている。

【0008】

データ読出時においては、アクセストランジスタATRがリードワード線RWLの活性化に応じてターンオンされる。これにより、ビット線BL～磁気トンネル接合部MTJ～接地電圧VSSの電流パスに、図示しない制御回路から一定電流として供給されるセンス電流 I_s が流れる。

【0009】

磁気トンネル接合部MTJの電気抵抗値は、固定磁気層FLと自由磁気層VLとの間の磁化方向の相対関係に応じて変化する。具体的には、固定磁気層FLの磁化方向と自由磁気層VLに書込まれた磁化方向とが同一である場合には、両者の磁化方向が異なる場合に比べて磁気トンネル接合部MTJの電気抵抗値は小さくなる。

【0010】

したがって、データ読出時においては、センス電流 I_s によって磁気トンネル接合部MTJで生じる電圧変化は、自由磁気層VLに記憶された磁界方向に応じて異なる。これにより、たとえばビット線BLを一旦高電圧にプリチャージした状態とした後にセンス電流 I_s の供給を開始すれば、ビット線BLの電圧レベル変化を検知することによってMTJメモリセルの記憶データのレベルを読出すことができる。

【0011】

図41は、MTJメモリセルに対するデータ書込動作を説明する概念図である。

【0012】

図41を参照して、データ書込時においては、リードワード線RWLは非活性化され、これに回答してアクセストランジスタATRはターンオフされる。この状態で、自由磁気層VLを記憶データレベルに応じた方向に磁化するためのデータ書込磁界を発生させるデータ書込電流が、ライトワード線WWLおよびビット線BLにそれぞれ流される。自由磁気層VLの磁化方向は、ライトワード線WWLおよびビット線BLをそれぞれ流れるデータ書込電流の向きの組合せによって決定される。

【0013】

図42は、データ書込時におけるデータ書込電流の方向とデータ書込磁界の方向との関係を説明する概念図である。

【0014】

図42を参照して、横軸で示される磁界 H_x は、ライトワード線WWLを流れるデータ書込電流によって生じるデータ書込磁界 $H(WWL)$ の方向を示す。一方、縦軸に示される磁界 H_y は、ビット線BLを流れるデータ書込電流によって生じるデータ書込磁界 $H(BL)$ の方向を示す。

【0015】

自由磁気層VLの磁化方向は、データ書込磁界 $H(WWL)$ と $H(BL)$ との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書込まれる。すなわち、アステロイド特性線の内側の領域に相当するデータ書込磁界が印加された場合においては、自由磁気層VLの磁化方向は更新されない。

【0016】

したがって、MTJメモリセルに記憶データを書込むためには、ライトワード線WWLとビット線BLとの両方にデータ書込電流を流す必要がある。磁気トンネル接合部MTJに一旦記憶された磁化方向すなわち記憶データレベルは、新たなデータ書込が実行されるまでの間、不揮発的に保持される。

【0017】

データ読出動作時においても、ビット線BLにはセンス電流 I_s が流れる。しかし、センス電流 I_s は一般的に、上述したデータ書込電流よりは1～2桁程度小さくなるように設定されるので、センス電流 I_s の影響によりデータ読出時においてMTJメモリセルの記憶データが誤って書換えられる可能性は小さい。

【0018】

上述した技術文献においては、このようなMTJメモリセルを半導体基板上に集積して、ランダムアクセスメモリであるMRAMデバイスを構成する技術が開示されている。

【0019】

図4-3は、行列状に集積配置されたMTJメモリセルを示す概念図である。

図4-3を参照して、半導体基板上に、MTJメモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。図4-3においては、MTJメモリセルを n 行 \times m 列(n, m :自然数)に配置する場合が示される。行列状に配された $n \times m$ 個のMTJメモリセルに対して、 n 本のライトワード線WWL1~WWLnおよびリードワード線RWL1~RWLnと、 m 本のビット線BL1~BLmとが配置される。

【0020】

データ読出時には、リードワード線RWL1~RWLnのうちの1本が選択的に活性化されて、選択されたメモリセル行(以下、単に「選択行」とも称する)に属するメモリセルは、ビット線BL1~BLmのそれぞれと接地電圧 V_{SS} との間に電氣的に結合される。この結果、ビット線BL1~BLmの各々には、対応するメモリセルの記憶データレベルに応じた電圧変化が生じる。

【0021】

したがって、選択されたメモリセル列(以下、単に「選択列」とも称する)に対応するビット線の電圧を、センスアンプ等を用いて所定の参照電圧と比較することによって、選択されたメモリセルの記憶データレベルを読出すことができる。

【0022】

【発明が解決しようとする課題】

しかしながら、このような方式のデータ読出動作では、選択行に属するメモリセルの全てにおいてセンス電流 I_s の経路が形成されるので、非選択のメモリセル列(以下、単に「非選択列」とも称する)列に対応するビット線においても、データ読出に直接寄与することのない無駄な充放電電流が生じる。これにより、データ読出時の消費電力が増大してしまう。

【0023】

さらに、上述した技術文献に記載されるように、磁気トンネル接合部の両端に印加されるバイアス電圧が大きくなると、固定磁気層FLと自由磁気層VLとの間の磁化方向の相対関係、すなわち記憶データレベルに応じた電気抵抗値の変化

が現れにくくなる。このため、データ読出時において、磁性体メモリセルの両端に印加される電圧が大きくなると、記憶データレベルに対応したビット線の電圧変化の差異が顕著に現れず、データ読出動作の高速性および安定性が阻害されるおそれがある。

【0024】

また、選択メモリセルと結合されたビット線の電圧と比較するための参照電圧の生成には、ダミーメモリセルが一般的に用いられる。MTJメモリセルのデータ読出に用いられるダミーセルとしては、たとえば、MTJメモリセルにおいて、“1（Hレベル）”および“0（Lレベル）”データを記憶した場合にそれぞれ対応する電気抵抗値 R_1 および R_0 の中間値に相当する電気抵抗値 R_d を有する抵抗素子を適用することができる。このような抵抗素子に対して、MTJメモリセルとの同様のセンス電流 I_s を供給することによって、当該参照電圧を生成することができる。

【0025】

一般的に、ダミーメモリセルは、ダミー行もしくはダミー列を形成するように配置される。

【0026】

ダミー行を形成するようにダミーセルを配置する場合には、隣接する2本ずつのビット線によって形成されるビット線対によって、いわゆる折返し型ビット線構成に基づいたデータ読出を実行することが可能である。このような構成では、隣接する2本のビット線の1本ずつに、選択されたMTJメモリセルおよびダミーメモリセルをそれぞれ結合することができる。このため選択されたMTJメモリセルおよびダミーメモリセルのそれぞれとセンスアンプとの間のRC時定数を揃えて、データ読出マージンを確保することができる。

【0027】

しかしながら、非選択のメモリセル列に対応するダミーメモリセルに対してもセンス電流を流す必要があるので、データ読出時の消費電力が増大してしまう。

【0028】

反対に、ダミー列を形成するようにダミーセルを配置する場合には、複数のダ

、ミームメモリセルにセンス電流を供給する必要がない一方で、選択されたMTJメモリセルが結合されるビット線と、ダミー列に対応して設けられダミーメモリセルと結合されるダミービット線とを必ずしも近接して配置することができない。この結果、選択されたMTJメモリセルおよびダミーメモリセルのそれぞれとセンスアンプとの間のRC時定数の違いによって、データ読出マージンを損なう、あるいはデータ読出速度の低下を招くおそれがある。

【0029】

一方、すでに説明したように、MTJメモリセルに対するデータ書込は、ライトワード線WWLおよびビット線BLをそれぞれ流れるデータ書込電流によってそれぞれ発生するデータ書込磁界の組合せによって実行される。したがって、磁気トンネル接合部MTJ中の自由磁気層VLを効果的かつ安定的に磁化するように、データ書込電流の供給を行なう必要がある。

【0030】

また、選択されたMTJメモリセルに印加されるデータ書込磁界は、隣接する他のMTJメモリセルにとっては磁界ノイズとして作用するので、データ書込対象以外のメモリセルにおいて、誤ったデータ書込が生じないように配慮する必要がある。特に、データ書込に必要な所定磁界の発生に必要なデータ書込電流を低減できれば、低消費電力化および磁気ノイズ抑制による動作安定化の両方に効果を上げることができる。

【0031】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、低消費電力で高速なデータ読出を実行可能な薄膜磁性体記憶装置を提供することである。

【0032】

この発明の他の目的は、効率的かつ安定的なデータ書込を実行可能な薄膜磁性体記憶装置を提供することである。

【0033】

【課題を解決するための手段】

請求項1記載の薄膜磁性体記憶装置は、印加磁界によって書込まれた記憶デー

タレベルに応じて電気抵抗値が変化する複数のメモリセルと、各々が、複数のメモリセルの一定区分ごとに設けられ、データ読出時に記憶データレベルを読出すための複数の第1のデータ線と、複数の第1のデータ線に対応してそれぞれ配置されて、各々がデータ読出時において、一定区分に属するメモリセルのうちの選択された1つを介して、複数の第1のデータ線のうちの対応する1本と電氣的に結合される複数のソース線と、複数の第1のデータ線に対応してそれぞれ配置される複数の第1のデータ線選択部と、複数のソース線に対応してそれぞれ配置される複数のソース線選択部を備える。第1のデータ線選択部は、データ読出の前において、複数の第1のデータ線のうちの対応する1本を第1の電圧にプリチャージするとともに、データ読出時において、対応する1本の第1のデータ線を第1の電圧から電氣的に切離す。各ソース線選択部は、データ読出の前に、複数のソース線のうちの対応する1本を第2の電圧にプリチャージするためのソース線プリチャージ部と、データ読出時において、対応する1本のソース線を第3の電圧と電氣的に結合するためのソース線駆動部とを含む。

【0034】

請求項2記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、第1および第2の電圧は、同一の電圧である。

【0035】

請求項3記載の薄膜磁性体記憶装置は、請求項2記載の薄膜磁性体記憶装置であって、同一の電圧は接地電圧に相当する。

【0036】

請求項4記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、各メモリセルは、その両端に印加される電圧が大きくなるにつれて、記憶データレベルに違いに応じて生じる電気抵抗値の差が現れにくくなる特性を有し、第1および第2の電圧は、同一の電圧であり、各ソース線駆動部は、対応する1本のソース線と第3の電圧との間に所定の通過電流量の電流経路を形成して、対応する1本のソース線における、データ読出時の電圧変化速度を調整するための第1の電流スイッチ部を有する。

【0037】

請求項5記載の薄膜磁性体記憶装置は、請求項4記載の薄膜磁性体記憶装置であって、各ソース線プリチャージ部は、対応する1本のソース線と第2の電圧との間に電氣的に結合される第2の電流スイッチ部を有し、第1の電流スイッチ部の通過電流量は、第2の電流スイッチ部の通過電流量よりも小さい。

【0038】

請求項6記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、複数のメモリセルは行列状に配置され、複数の第1のデータ線は、メモリセル列にそれぞれ対応して設けられ、各第1のデータ線選択部は、対応するメモリセル列がデータ読出対象に選択された場合において、対応する1本の第1のデータ線を第1の電圧と電氣的に切離し、非選択のメモリセル列に対応する残りの第1のデータ線は、第1の電圧に維持される。

【0039】

請求項7記載の薄膜磁性体記憶装置は、請求項6記載の薄膜磁性体記憶装置であって、メモリセル列にそれぞれ対応して配置され、各々が対応するメモリセル列の選択および非選択にそれぞれ対応して活性化もしくは非活性化される複数のコラム選択線をさらに備える。第1のデータ線プリチャージ部は、対応する1本の第1のデータ線と第1の電圧との間に電氣的に結合されて、対応する1つのコラム選択線の活性化および非活性化にそれぞれ応答してオフおよびオンするトランジスタスイッチを有する。

【0040】

請求項8記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、複数のメモリセルは行列状に配置され、複数のソース線は、メモリセル列にそれぞれ対応して設けられる。ソース線駆動部は、対応するメモリセル列がデータ読出対象に選択された場合において、対応する1本のソース線を第3の電圧と電氣的に結合し、非選択のメモリセル列に対応する残りのソース線は、第2の電圧に維持される。

【0041】

請求項9記載の薄膜磁性体記憶装置は、請求項8記載の薄膜磁性体記憶装置であって、メモリセル列にそれぞれ対応して配置され、各々が対応するメモリセル

列の選択および非選択にそれぞれ対応して活性化および非活性化される複数のコラム選択線をさらに備える。ソース線駆動部は、対応する1本のソース線と第3の電圧との間に電氣的に結合されて、複数のコラム選択線のうちの対応する1本の活性化および非活性化にそれぞれ応答してオンおよびオフする第1のトランジスタスイッチを有し、ソース線プリチャージ部は、対応する1本のソース線と第2の電圧との間に電氣的に結合されて、対応する1本のコラム選択線の活性化および非活性化にそれぞれ応答してオフおよびオンする第2のトランジスタスイッチを有する。

【0042】

請求項10記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、データ読出時において、複数の第1のデータ線のうちの1本の電圧と比較するための参照電圧が伝達される第2のデータ線と、第1および第2のデータ線の電圧差を検知増幅するためのデータ読出回路と、記憶データレベルにそれぞれ対応する、各メモリセルの電気抵抗値の中間の電気抵抗値を有するダミーメモリセルと、第2のデータ線に対応して配置され、データ読出時において、ダミーメモリセルを介して、第2のデータ線と電氣的に結合されるダミーソース線と、複数の第2のデータ線に対応する第2のデータ線選択部と、ダミーソース線に対応にするダミーソース線選択部とを備える。第2のデータ線選択部は、データ読出前において、第2のデータ線を第1の電圧にプリチャージするとともに、データ読出時において、第2のデータ線を第1の電圧と電氣的に切離す。ダミーソース線選択部は、データ読出の前に、ダミーソース線のうちの対応する1本を第2の電圧にプリチャージするためのダミーソース線プリチャージ部と、データ読出時において、ダミーソース線を第3の電圧と電氣的に結合するためのダミーソース線駆動部とを含む。

【0043】

請求項11記載の薄膜磁性体記憶装置は、請求項10記載の薄膜磁性体記憶装置であって、データ読出回路と第3の電圧との間に形成される、データ読出対象に選択されたメモリセルを含む第1の電流経路中の第1のデータ線の電気抵抗値と、ダミーメモリセルを含む第2の電流経路中の第2のデータ線との電気抵抗値

とが同様となるように、複数の第1のデータ線および第2のデータ線の単位長当たりの電気抵抗値は設計される。

【 0 0 4 4 】

請求項12記載の薄膜磁性体記憶装置は、請求項10記載の薄膜磁性体記憶装置であって、第2のデータ線は、複数の第1のデータ線のそれぞれに対応して複数本配置され、複数個の第2のデータ線にそれぞれ対応するダミーソース線の各々は、各複数のソース線と共通の配線を共有して設けられ、各ダミーソース線に対応するダミーソース線選択部は、各第1のソース選択部を共有して設けられる。

【 0 0 4 5 】

請求項13記載の薄膜磁性体記憶装置は、データ記憶を実行するためのメモリセルと、第1のデータ書込磁界を発生させる第1のデータ書込電流を流すための第1の信号線と、第2のデータ書込磁界を発生させる第2のデータ書込電流を流すための第2の信号線とを備える。メモリセルは、記憶データのレベルに応じて電気抵抗値が変化する磁気記憶部を含む。磁気記憶部は、固定された所定の磁化方向を保持する第1の磁性体層と、磁化困難方向に沿った磁界を印加するための第1のデータ書込磁界および、磁化容易方向に沿った磁界を印加するための第2のデータ書込磁界の組合せに応じて書込まれる磁化方向を保持する第2の磁性体層とを有する。データ書込時において、第1のデータ書込電流の供給は、第2のデータ書込電流の供給よりも先に開始される。

【 0 0 4 6 】

請求項14記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、第2の信号線は、データ読出時において、磁気記憶部を通過させるためのデータ読出電流を流し、第2の信号線における、データ読出動作の開始からデータ読出電流が流れ始める時間は、データ書込動作の開始から第2のデータ書込電流が流れ始めるまでの時間よりも短い。

【 0 0 4 7 】

請求項15記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、データ読出時において、メモリセルを介して第2の信号線と電氣的

に結合される第3の信号線と、第2の信号線の電圧を制御するための第1の信号線選択部と、第3の信号線の電圧を制御するための第2の信号線選択部とをさらに備える。第1の信号線選択部は、データ読出の前において、複数の第2の信号線のうちの対応する1本を第1の電圧にプリチャージするとともに、データ読出時において、対応する1本の第2の信号線を第1の電圧から電氣的に切離す。第2の信号線選択部は、データ読出の前に、第3の信号線を第2の電圧にプリチャージするためのプリチャージ部と、データ読出時において、第3の信号線を第3の電圧と電氣的に結合するための信号線駆動部とを含む。

【0048】

請求項16記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時において選択的に活性化されて、第1のデータ書込磁界を発生させるための第1のデータ書込電流が流される複数の書込ワード線と、複数のメモリセルの列にそれぞれ対応して配置される複数のビット線と、列にそれぞれ対応して配置され、各々が、複数のビット線のうちの対応する1本との間に、対応する列に属するメモリセルを挟むように配置される複数のソース線と、列にそれぞれ対応して配置され、データ書込時において、複数のソース線およびビット線のうちの列選択結果に対応する1本ずつの一端側同士を電氣的に結合するための複数の結合スイッチと、データ書込時において第2のデータ書込磁界を発生させる第2のデータ書込電流を供給するためのデータ書込回路とを備える。複数のメモリセルの各々は、第1および第2のデータ書込磁界の組合せによって書込まれた記憶データレベルに応じて電気抵抗値が変化する磁気記憶部を含む。データ書込回路は、列選択結果に対応する1本ずつのソース線およびビット線他端側のそれぞれを、記憶データのレベルに応じて第1および第2の電圧の一方ずつと結合する。

【0049】

請求項17記載の薄膜磁性体記憶装置は、請求項16記載の薄膜磁性体記憶装置であって、データ読出時において、列選択結果に対応する1本ずつのソース線およびビット線他端側のそれぞれを、第1および第2の電圧のそれぞれと電氣的に結合するとともに、列選択結果に対応するビット線の電圧変化に基づいてデ

ータ読出を実行するデータ読出回路をさらに備える。各メモリセルは、データ読出時において選択的にオンして、複数のデータ線およびソース線のうちの対応する1本ずつの間に磁気記憶部を電氣的に結合するためのアクセス部をさらに含む。複数の結合スイッチは、データ読出時において、列選択結果に対応する1本ずつのソース線およびビット線の一端側同士を電氣的に切離す。

【0050】

請求項18記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時において第1のデータ書込磁界を発生させる第1のデータ書込電流を流すために選択的に活性化される複数の書込ワード線と、行にそれぞれ対応して配置され、各々の一端側が第1の電圧と結合される複数のソース線と、複数のメモリセルの列にそれぞれ対応して配置され、データ書込時において第2のデータ書込磁界を発生させる第2のデータ書込電流の供給を列選択結果に応じて選択的に受ける複数のビット線と、データ書込時において、複数の書込ワード線のうちの活性化された1本の一端側を第2の電圧と結合するためのワード線ドライバとを備える。複数のメモリセルの各々は、第1および第2のデータ書込磁界の組合せによって書込まれた記憶データレベルに応じて電気抵抗値が変化する磁気記憶部を含む。第2のデータ書込電流は、活性化された書込ワード線および、複数のソース線のうちの活性化された書込ワード線と他端側同士が電氣的に結合された少なくとも1本によって構成される電流経路を流れる。

【0051】

請求項19記載の薄膜磁性体記憶装置は、請求項18記載の薄膜磁性体記憶装置であって、複数のビット線およびソース線のうちの同一の行に対応する1本ずつの他端側同士は電氣的に結合される。各ビット線および各ソース線は、各ビット線および各ソース線をそれぞれ流れる第2のデータ書込電流によって磁気記憶部にそれぞれ生じる磁界の方向が揃うように配置される。

【0052】

請求項20記載の薄膜磁性体記憶装置は、請求項19記載の薄膜磁性体記憶装置であって、各ビット線および各ソース線は、磁気記憶部を高さ方向に挟むよう

に配置される。

【0053】

請求項21記載の薄膜磁性体記憶装置は、請求項18記載の薄膜磁性体記憶装置であって、各書込ワード線と、他の行に属する複数のソース線との間にそれぞれ配置される複数の結合スイッチをさらに備える。データ書込時において、活性化された書込ワード線に対応する少なくとも1つの結合スイッチはオンする。

【0054】

請求項22記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時において行選択結果に応じてアクセス部をオンさせる複数の読出ワード線と、行にそれぞれ対応して配置され、データ書込時において第1のデータ書込磁界を発生させる第1のデータ書込電流を流すために選択的に活性化される複数の書込ワード線と、複数のメモリセルの列にそれぞれ対応して配置され、各々が、メモリセルを介して複数の書込ワード線と電氣的に結合される複数のビット線と、データ書込時において第2のデータ書込磁界を発生させる第2のデータ書込電流を流すために、複数の書込ワード線のうちの活性化された1本の一端側を第1の電圧と結合するとともに残りの書込ワード線を第2の電圧に設定するためのワード線ドライバと、各書込ワード線と他の行に属する複数の書込ワード線の各々との間に結合され、結合された2本の書込ワード線のうちのいずれか一方が活性化された場合にオンする結合スイッチと、データ読出時において、複数のビット線のうちの列選択結果に対応する1本に対してデータ読出電流を供給するとともに、列選択結果に対応する1本のビット線の電圧変化に基づいてデータ読出を実行するデータ読出回路とを備える。複数のメモリセルの各々は、第1および第2のデータ書込磁界の組合せによって書込まれた記憶データレベルに応じて電気抵抗値が変化する磁気記憶部と、磁気記憶部と直列に結合されて、データ読出時において選択的にオンしてデータ読出電流を通過するとともに、データ書込時においてオフされるアクセス部とを含む。ワード線ドライバは、データ読出時において、各書込ワード線を読出基準電圧に設定する。

【0055】

請求項 23 記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの列にそれぞれ対応して設けられ、データ読出時においてデータ読出電流の供給を選択的に受ける複数のデータ線と、列にそれぞれ対応して設けられ、データ読出時において列選択結果に応じて選択的に活性化されて、複数のデータ線のうちの対応する 1 つの電圧と比較される参照電圧を生成する参照電圧生成部とを備える。複数のメモリセルの各々は、書込まれた記憶データレベルに応じて電気抵抗値が変化する磁気記憶部と、データ読出時において選択的にオンしてデータ読出電流を通過するためのアクセス部とを含む。各メモリセルは、複数のデータ線のうちの対応する 1 本と所定電圧との間に結合される。

【0056】

請求項 24 記載の薄膜磁性体記憶装置は、請求項 23 記載の薄膜磁性体記憶装置であって、列にそれぞれ対応して設けられ、データ読出時において対応する列がデータ読出対象に選択された場合にデータ読出電流の供給を受けるダミーデータ線をさらに備える。参照電圧生成部は、各メモリセルの記憶データレベルのそれぞれに対応する電気抵抗値の中間の電気抵抗値を有するダミー抵抗と、対応する 1 つのデータ線および所定電圧の間に直列に電氣的に結合されて、対応する列が選択された場合にオンするダミーアクセス部とを有するダミーメモリセルと、対応する列がデータ読出対象に選択された場合に、ダミーアクセス部をオンさせるためのダミー選択部とを含む。

【0057】

請求項 25 記載の薄膜磁性体記憶装置は、請求項 24 記載の薄膜磁性体記憶装置であって、参照電圧生成部は、各列ごとに 2 個ずつ配置される。各データ線およびダミーデータ線は、列の各々に対応して設けられる 2 本ずつの信号線を用いて構成され、2 本ずつの信号線の一方および他方は、行選択結果に応じて、メモリセルおよびダミーメモリセルのいずれか一方ずつと電氣的に結合される。

【0058】

請求項 26 記載の薄膜磁性体記憶装置は、請求項 23 記載の薄膜磁性体記憶装置であって、複数のデータ線に対応してそれぞれ配置されて、各々が、データ読出時において、同一の列に属するメモリセルのうちの選択された 1 つを介して、

複数のデータ線のうちの対応する１本と電氣的に結合される複数のソース線と、複数のデータ線に対応してそれぞれ配置される複数のデータ線選択部と、複数のソース線に対応してそれぞれ配置される複数のソース線選択部とをさらに備える。各データ線選択部は、データ読出の前に、複数のデータ線のうちの対応する１本を第１の電圧にプリチャージするとともに、データ読出時において、対応する１本のデータ線を第１の電圧と電氣的に切離す。各ソース線選択ゲートは、データ読出の前に、複数のソース線のうちの対応する１本を第２の電圧にプリチャージするためのソース線プリチャージ部と、データ読出時において、対応する１本のソース線を所定電圧と電氣的に結合するためのソース線駆動部とを含む。

【 0 0 5 9 】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳細に説明する。なお、以下の説明において、同一または相当部分については同一の参照符号を付すものとする。

【 0 0 6 0 】

〔実施の形態１〕

図１は、本発明の実施の形態１に従うMRAMデバイス１の全体構成を示す概略ブロック図である。

【 0 0 6 1 】

図１を参照して、MRAMデバイス１は、外部からの制御信号CMDおよびアドレス信号ADDに応答してランダムアクセスを行ない、書込データDINの入力および読出データDOU Tの出力を実行する。

【 0 0 6 2 】

MRAMデバイス１は、制御信号CMDに応答してMRAMデバイス１の全体動作を制御するコントロール回路５と、行列状に配置された複数のMTJメモリセルを有するメモリアレイ１０とを備える。メモリアレイ１０の構成は後ほど詳細に説明するが、MTJメモリセルの行にそれぞれ対応して複数のライトワード線WWLおよびリードワード線RWLが配置される。また、MTJメモリセルの列にそれぞれ対応してビット線BLおよびソース線SLが配置される。

【0063】

MRAMデバイス1は、さらに、行デコーダ20と、列デコーダ25と、ワード線ドライバ30と、ワード線電流制御回路40と、読出／書込制御回路50、60とを備える。

【0064】

行デコーダ20は、アドレス信号ADDによって示されるロウアドレスRAに応じて、メモリアレイ10における行選択を実行する。列デコーダ25は、アドレス信号ADDによって示されるコラムアドレスCAに応じてメモリアレイ10における列選択を実行する。ワード線ドライバ30は、行デコーダ20の行選択結果に基づいて、リードワード線RWLもしくはライトワード線WWLを選択的に活性化する。ロウアドレスRAおよびコラムアドレスCAによって、データ読出もしくはデータ書込動作の対象に指定された選択メモリセルが示される。

【0065】

ワード線電流制御回路40は、データ書込時においてライトワード線WWLにデータ書込電流を流すために設けられる。たとえば、ワード線電流制御回路40によって各ライトワード線WWLを接地電圧VSSと結合することによって、ワード線ドライバ30によって選択的に電源電圧VDDと結合されたライトワード線に対して、データ書込電流を流すことができる。読出／書込制御回路50、60は、データ読出およびデータ書込時において、ビット線にデータ書込電流およびセンス電流（データ読出電流）を流すために、メモリアレイ10に隣接する領域に配置される回路等を総称したものである。

【0066】

図2は、メモリアレイ10およびその周辺回路の実施の形態1に従う構成を示す概念図である。図2においては、データ読出に関連する構成が主に示される。

【0067】

図2を参照して、メモリアレイ10は、 n 行 \times m 列に配列される、図39に示した構成を有するMTJメモリセルMC（以下、単に「メモリセルMC」とも称する）を含む。MTJメモリセルの行（以下、単に「メモリセル行」とも称する）に対応して、リードワード線RWL1～RWLnおよびライトワード線WWL

1～WWLnがそれぞれ設けられる。MTJメモリセルの列（以下、単に「メモリセル列」とも称する）にそれぞれ対応して、ビット線BL1～BLmおよびソース線SL1～SLmがそれぞれ設けられる。

【0068】

図2には、第1行および第2行と、第1、2およびm列とに対応する、ライトワード線WWL1、WWL2、リードワード線RWL1、RWL2、ビット線BL1、BL2、BLm、ソース線SL1、SL2、SLmおよび一部のメモリセルが代表的に示される。

【0069】

以下においては、ライトワード線、リードワード線、ビット線およびソース線を総括的に表現する場合には、符号WWL、RWL、BLおよびSLを用いてそれぞれ表記することとし、特定のライトワード線、リードワード線、ビット線およびソース線を示す場合には、これらの符号に添字を付してRWL1、WWL1、BL1、SL1のように表記することとする。また、信号または信号線の高電圧状態（電源電圧VDD）および低電圧状態（接地電圧VSS）のそれぞれを、HレベルおよびLレベルとも称することとする。

【0070】

ワード線ドライバ30は、データ読出時において、ロウアドレスRAのデコード結果、すなわち行選択結果に応じて、リードワード線RWL1～RWLnのうちの1本をHレベルに活性化する。これに回答して、選択されたメモリセル行に属するメモリセルの各々において、アクセストランジスタATRがオンすることによって、磁気トンネル接合部MTJが、対応するビット線BLおよびソース線SLの間に電氣的に結合される。

【0071】

メモリアレイ10と隣接する領域に、リードワード線RWLおよびライトワード線WWLと同一方向に沿ってデータバスDBが配置される。メモリセル列にそれぞれ対応して、列選択を実行するためのコラム選択線CSL1～CSLmが配置される。列デコーダ25は、コラムアドレスCAのデコード結果、すなわち列選択結果に応じて、データ読出時において、コラム選択線CSL1～CSLmの

うちの1本をHレベルに活性化する。

【0072】

ビット線BL1～BLmにそれぞれ対応して、ビット線選択ゲートBCSGa1～BCSGamがそれぞれ配置される。ビット線選択ゲートBCSGa1は、電源電圧VDDとビット線BL1との間に電氣的に結合されるビット線プリチャージトランジスタTa1と、データバスDBとビット線BL1との間に電氣的に結合されるビット線駆動トランジスタTa2とを含む。

【0073】

プリチャージトランジスタTa1は、P型MOSトランジスタで構成され、ビット線駆動トランジスタTa2は、ビット線プリチャージトランジスタTa1と反対の導電型のN型MOSトランジスタで構成される。ビット線プリチャージトランジスタTa1およびビット線駆動トランジスタTa2のゲートは、コラム選択線CSL1と結合される。

【0074】

その他のメモリセル列に対応して配置されるビット線選択ゲートBCSG2a～BCSGamの各々の構成も同様であるので、詳細な説明は繰り返さない。

【0075】

ソース線SL1～SLmにそれぞれ対応して、ソース線選択ゲートSCSGa1～SCSGamがそれぞれ配置される。ソース線選択ゲートSCSGa1は、接地電圧VSSとソース線SL1との間に電氣的に結合されるソース線駆動トランジスタTa3と、電源電圧VDDとソース線SL1との間に電氣的に結合されるソース線プリチャージトランジスタTa4とを含む。

【0076】

ソース線駆動トランジスタTa3は、N型MOSトランジスタで構成され、ソース線プリチャージトランジスタTa4は、ソース線駆動トランジスタTa3と反対の導電型のP型MOSトランジスタで構成される。ソース線駆動トランジスタTa3およびソース線プリチャージトランジスタTa4のゲートは、コラム選択線CSL1と結合される。

【0077】

その他のメモリセル列に対応して配置されるソース線選択ゲートSCSGa2～SCSGamの各々の構成も同様であるので、詳細な説明は繰り返さない。

【0078】

以下においては、コラム選択線CSL1～CSLm、ビット線選択ゲートBCSGa1～BCSGamおよびソース線選択ゲートSCSGa1～SCSGamをそれぞれ総称する場合には、単にコラム選択線CSL、ビット線選択ゲートBCSGaおよびソース線選択ゲートSCSGaとも称する。

【0079】

データ読出回路51rは、データバスDBの電圧に応じて、読出データDOUTを出力する。

【0080】

図3は、データ読出回路51rの構成を示す回路図である。

図3を参照して、データ読出回路51rは、差動増幅器57と、トランスファークゲートTGa、TGbと、ラッチ回路58と、プリチャージトランジスタPTaとを含む。

【0081】

差動増幅器57は、2つの入力ノード間の電圧差を増幅して読出データDoutを生成する。トランスファークゲートTGaは、トリガパルスφrに応答して動作する。トリガパルスφrの活性化期間に応答して、トランスファークゲートTGaは、データバスDBを差動増幅器57の入力ノードの一方と電気的に結合する。差動増幅器57の入力ノードの他方には、所定の参照電圧VREFが入力される。

【0082】

トランスファークゲートTGbは、トランスファークゲートTGaと同様に、トリガパルスφrに応答して動作する。トリガパルスφrの活性化期間に応答して、トランスファークゲートTGbは、差動増幅器57の出力をラッチ回路58に伝達する。ラッチ回路58は、ラッチされた差動増幅器57の出力電圧を、読出データDOUTとして出力する。

【0083】

したがって、データ読出回路51rは、トリガパルス ϕ_r の活性化期間において、データバスDBおよび参照電圧VREFの電圧差を増幅して、読出データDOUTのデータレベルを設定する。トリガパルス ϕ_r の非活性化期間においては、読出データDOUTのレベルは、ラッチ回路58によって保持される。

【0084】

プリチャージトランジスタPTaは、電源電圧VDDとデータバスDBとの間に電氣的に結合され、制御信号/P Rに応じて、オン・オフする。制御信号/P Rは、データバスDBのプリチャージ期間において、活性状態（Lレベル）に設定される。制御信号/P Rは、MRAMデバイス1のアクティブ期間において、少なくともデータ読出実行前の所定期間においてLレベルに活性化される。一方、MRAMデバイス1のアクティブ期間のうちのデータ読出動作時には、制御信号/P Rは、Hレベルに非活性化される。

【0085】

この結果、制御信号/P RがLレベルに活性化されるプリチャージ期間において、データバスDBは、ビット線BLと同様に電源電圧VDDにプリチャージされる。一方、データ読出動作時には、制御信号/P RがHレベルに非活性化されるので、データバスDBは電源電圧VDDから切離される。

【0086】

図4は、実施の形態1に従うデータ読出動作を説明するタイミングチャートである。図4には、第j番目（j：1～mの自然数）のメモリセル列がデータ読出対象に選択された場合の動作が示される。

【0087】

図4を参照して、データ読出動作が開始される時刻t0以前においては、全てのリードワード線RWLおよびコラム選択線CSLは、非活性化（Lレベル）される。

【0088】

これに応答して、各ビット線選択ゲートBCSGa中のビット線プリチャージトランジスタTa1がオンし、各ソース選択ゲートSCSGa中のソース線プリチャージトランジスタTa4がオンするので、各ビット線BLおよび各ソース線

SLは、電源電圧VDDにプリチャージされる。

【0089】

また、データバスDBは、データ読出前において活性状態に設定される制御信号/PRに応答して、電源電圧VDDにプリチャージされる。

【0090】

時刻t0においてデータ読出動作が開始されると、制御信号/PRは、Hレベルに非活性化される。これに응答して、データバスDBは、データ読出動作時には、プリチャージトランジスタPTaのターンオフによって、電源電圧VDDから切離される。

【0091】

選択行に対応するリードワード線は、ワード線ドライバ30によってHレベルに活性化される。この結果、各ビット線BLおよび各ソース線SLの間に、選択行に対応するメモリセルが電氣的に結合される。一方、非選択行に対応する残りのリードワード線は、Lレベルに維持される。

【0092】

さらに、選択列に対応するコラム選択線CSLjが選択的に活性化されて、Hレベルに活性化される。これに응答して、選択列に対応するビット線選択ゲートBCSGajおよびソース選択ゲートSCSGajにおいて、ビット線駆動トランジスタTa2およびソース線駆動トランジスタTa3がそれぞれオンして、ビット線プリチャージトランジスタTa1およびソース線プリチャージトランジスタTa4がそれぞれオフされる。

【0093】

この結果、ビット線選択ゲートBCSGajは、選択列に対応するビット線BLjを、プリチャージ電圧である電源電圧VDDと切離すとともに、データバスDBと結合する。また、ソース選択ゲートSCSGajは、選択列に対応するソース線SLjを接地電圧VSSと電氣的に結合する。すなわち、選択列に対応するソース線SLjのみが、接地電圧VSSに選択的に駆動される。

【0094】

したがって、データバスDB（電源電圧VDDプリチャージ）～ビット線駆動

トランジスタ $T a_2$ ~ ビット線 $B L_j$ ~ 選択メモリセル ~ ソース線 $S L_j$ (接地電圧 $V S S$ に駆動) の電流パスが形成されて、データバス $D B$ には、選択メモリセルの電気抵抗値に応じた速度で、下降方向の電圧変化が生じる。

【0095】

すなわち、選択メモリセルの記憶データレベルに応じて、データバス $D B$ におけるプリチャージ電圧からの電圧変化速度が異なるので、データ読出動作時に一定のタイミングでデータバス $D B$ の電圧を検知すれば、選択メモリセルの記憶データレベルを読み出すことができる。

【0096】

一方、図示しないが、非選択行に対応する残りのコラム選択線は、 L レベルに維持されるので、非選択列に対応するビット線 $B L$ およびソース線の各々は、プリチャージ電圧のままに維持される。

【0097】

したがって、非選択列に対応するビット線 $B L$ およびソース線 $S L$ の間には、両者のプリチャージ電圧差に応じた電流が流れる。したがって、ソース線 $S L$ およびビット線 $B L$ とプリチャージ電圧を同一にすることによって、非選択列に対応するビット線 $B L$ に不要な充放電電流が流れることを回避できる。

【0098】

データ読出動作の開始から所定時間が経過した時刻 t_1 において、トリガパルス ϕ_r は、ワンショット状に活性化 (H レベル) される。これにตอบสนองして、データ読出回路 $51r$ は、データバス $D B$ の電圧を検知し、さらに所定の参照電圧 $V R E F$ との電圧差を増幅して、読出データ $D O U T$ を生成する。参照電圧 $V R E F$ は、記憶データレベルが H レベルおよび L レベルである場合にそれぞれ対応する、時刻 t_1 におけるデータバス $D B$ の電圧の中間値となるように定められる。

【0099】

このように、ソース線 $S L$ の電圧をデータ読出時に駆動されるべき接地電圧 $V S S$ に固定せず、データ読出前において、ビット線 $B L$ と同様にプリチャージすることによって、データ読出動作に直接必要な選択列に対応するビット線 $B L_j$ のみで充放電電流が消費されるので、データ読出動作を低消費電力化できる。

【0100】

さらに、データ読出開始時における、選択列に対応するソース線 SL_j の電圧変化速度が緩やかになるように調整することによって、選択メモリセル中の磁気トンネル接合部 MTJ の両端に印加されるバイアス電圧を抑制することができる。ソース線 SL_j における電圧変化速度は、ソース線駆動トランジスタ Ta_3 のトランジスタサイズに依存する通過電流量によって調整することができる。少なくとも、ソース線駆動トランジスタ Ta_3 のトランジスタサイズは、プリチャージのための電流が通過するソース線プリチャージトランジスタ Ta_4 よりも小さく設計される。

【0101】

この結果、各メモリセルにおける、記憶データレベルに応じた電気抵抗値の変化が現れ易くなるので、データバス DB の電圧検知タイミング（時刻 t_1 ）における、記憶データレベルの違いによって生じるデータバス DB の電圧差を拡大させて、データ読出マージンを確保できる。

【0102】

読出動作終了後においては、時刻 t_0 以前と同様に、全てのリードワード線 RWL およびコラム選択線 CSL は、非活性化（ L レベル）される。また、制御信号 $/PR$ も再び活性化されるので、各ビット線 BL 、各ソース線 SL およびデータバス DB は、電源電圧 VDD にプリチャージされる。

【0103】

なお、実施の形態 1 においては、ビット線 BL 、ソース線 SL およびデータバス DB のプリチャージ電圧を電源電圧 VDD としたが、プリチャージ電圧は $VDD/2$ 等の異なる電圧レベルに設定することもできる。

【0104】

〔実施の形態 1 の変形例 1〕

図 5 は、メモリアレイ 10 およびその周辺回路の実施の形態 1 の変形例 1 に従う構成を示す概念図である。

【0105】

図 5 を参照して、実施の形態 1 の変形例 1 に従う構成においては、ビット線選

択ゲートBCSGa1～BCSGamおよびソース線選択ゲートSCSGa1～SCSGamに代えて、ビット線選択ゲートBCSGb1～BCSGbmおよびソース線選択ゲートSCSGb1～SCSGbmがそれぞれ設けられる点、ならびにデータ読出回路51rに代えてデータ読出回路52rが設けられる点が、図2に示した実施の形態1の構成と異なる。その他の部分の構成は、実施の形態1と同様であるので、詳細な説明は繰り返さない。

【0106】

実施の形態1の変形例1においては、ビット線BLおよびソース線SLのプリチャージ電圧は接地電圧VSSに設定され、データ読出動作におけるソース線SLの駆動電圧は、電源電圧VDDに設定される。すなわち、プリチャージ電圧およびデータ読出動作時の駆動電圧の極性が、実施の形態1の場合とは逆転している。

【0107】

ビット線選択ゲートBCSGb1は、接地電圧VSSとビット線BL1との間に電氣的に結合されるビット線プリチャージトランジスタTb1と、データバスDBとビット線BL1との間に電氣的に結合されるビット線駆動トランジスタTb2とを含む。ビット線プリチャージトランジスタTb1およびビット線駆動トランジスタTb2は、N型MOSトランジスタで構成される。ビット線プリチャージトランジスタTb1のゲートには、コラム選択線CSL1の反転電圧が入力される。ビット線駆動トランジスタTb2のゲートは、コラム選択線CSL1と結合される。

【0108】

その他のメモリセル列に対応して配置されるビット線選択ゲートBCSG2b～BCSGbmの各々の構成も同様であるので、詳細な説明は繰り返さない。

【0109】

ソース線選択ゲートSCSGb1は、電源電圧VDDとソース線SL1との間に電氣的に結合されるソース線駆動トランジスタTb3と、接地電圧VSSとソース線SL1との間に電氣的に結合されるソース線プリチャージトランジスタTb4とを含む。

【0110】

ソース線駆動トランジスタTb3は、P型MOSトランジスタで構成され、ソース線プリチャージトランジスタTb4は、N型MOSトランジスタで構成される。ソース線駆動トランジスタTb3およびソース線プリチャージトランジスタTb4のゲートには、コラム選択線CSL1の反転電圧が入力される。

【0111】

その他のメモリセル列に対応して配置されるソース線選択ゲートSCSGa2～SCSGamの各々の構成も同様であるので、詳細な説明は繰り返さない。

【0112】

なお、以下においては、ビット線選択ゲートBCSGb1～BCSGbmおよびソース線選択ゲートSCSGb1～SCSGbmをそれぞれ総称する場合には、単にビット線選択ゲートBCSGbおよびソース線選択ゲートSCSGbとも称する。

【0113】

各ビット線選択ゲートBCSGbは、対応するコラム選択線CSLが非活性状態（Lレベル）である場合には、対応するビット線BLをプリチャージ電圧である接地電圧VSSと電氣的に結合し、対応するコラム選択線CSLが活性状態（Hレベル）である場合には、対応するビット線BLをデータバスDBと電氣的に結合する。

【0114】

各ソース線選択ゲートSCSGbは、対応するコラム選択線CSLが非活性状態（Lレベル）である場合には、対応するソース線SLをプリチャージ電圧である接地電圧VSSと電氣的に結合し、対応するコラム選択線CSLが活性状態（Hレベル）である場合には、対応するソース線SLを電源電圧VDDに駆動する。

【0115】

図6は、データ読出回路52rの構成を示す回路図である。

図6を参照して、データ読出回路52rは、データ読出回路51rと比較して、プリチャージトランジスタPTaに代えてプリチャージトランジスタPTbを

含む点で異なる。その他の部分の構成は、データ読出回路 5 1 r と同様であるので、詳細な説明は繰り返さない。

【 0 1 1 6 】

プリチャージトランジスタ P T b は、接地電圧 V S S とデータバス D B との間に電氣的に結合され、制御信号 P R に応じて、オン・オフする。制御信号 P R は、データバス D B のプリチャージ期間において活性状態（H レベル）に設定される。制御信号 P R および $\overline{P R}$ は、活性状態における信号レベルが異なるが、活性化される期間は同様に設定される。

【 0 1 1 7 】

この結果、制御信号 P R が H レベルに活性化されるプリチャージ期間において、データバス D B は、ビット線 B L と同様に、接地電圧 V S S にプリチャージされる。一方、データ読出動作時には、制御信号 P R が L レベルに非活性化されるので、データバス D B は接地電圧 V S S から切離される。

【 0 1 1 8 】

図 7 は、実施の形態 1 の変形例 1 に従うデータ読出動作を説明するタイミングチャートである。

【 0 1 1 9 】

図 7 を参照して、時刻 t_0 以前においては、各ビット線 B L および各ソース線 S L は、接地電圧 V S S にプリチャージされる。また、データバス D B も同様に接地電圧 V S S にプリチャージされる。

【 0 1 2 0 】

時刻 t_0 において、データ読出動作が開始されると、選択行に対応するリードワード線 R W L が活性化されて、各ビット線 B L および各ソース線 S L の間に、選択行に対応するメモリセルが電氣的に結合される。

【 0 1 2 1 】

データバス D B は、データ読出動作時には、プリチャージトランジスタ P T b のターンオフによって、接地電圧 V S S から切離されている。

【 0 1 2 2 】

さらに、選択列に対応するコラム選択線 C S L j が選択的に活性化されて、H

レベルに活性化される。これに応答して、選択列に対応するビット線 BL_j およびソース線 SL_j は、データバス DB および電源電圧 V_{DD} とそれぞれ電氣的に結合される。すなわち、選択列に対応するソース線 SL_j のみが、電源電圧 V_{DD} に選択的に駆動される。

【0123】

選択列に対応するソース線 SL_j の電圧変化速度は、実施の形態1の場合と同様に、ソース線駆動トランジスタ T_{b3} のトランジスタサイズによって調整することができる。これにより、選択メモリセル中の磁気トンネル接合部 MTJ の両端に印加されるバイアス電圧を抑制して、データ読出動作の信号マージンを確保できる。ソース線駆動トランジスタ T_{b3} およびソース線プリチャージトランジスタ T_{b4} のトランジスタサイズは、ソース線駆動トランジスタ T_{a3} およびソース線プリチャージトランジスタ T_{a4} のトランジスタサイズと同様に設計される。

【0124】

コラム選択線 CSL_j の活性化に応答して、データバス DB （接地電圧 V_{SS} プリチャージ）～ビット線駆動トランジスタ T_{b2} ～ビット線 BL_j ～選択メモリセル～ソース線 SL_j （電源電圧 V_{DD} に駆動）の電流パスが形成されて、データバス DB には、選択メモリセルの電気抵抗値に応じた速度で、上昇方向の電圧変化が生じる。

【0125】

したがって、実施の形態1の場合と同様に、所定の時刻 t_1 において、トリガパルス ϕ_r をワンショット状に活性化（Hレベル）して、データ読出回路 $52r$ によってデータバス DB の電圧の検知および参照電圧 V_{REF} との電圧差の増幅を行なって、読出データ $DOUT$ を生成することができる。

【0126】

また、非選択列に対応するビット線 BL およびソース線 SL の各々は、プリチャージ電圧のままに維持されるので、選択列に対応するビット線 BL に不要な充放電電流が流れることを回避できる。この結果、実施の形態1と同様の低消費電力化を図ることができる。

【 0 1 2 7 】

実施の形態 1 の変形例 1 においては、プリチャージ電圧を接地電圧 V_{SS} に設定しているので、ビット線 BL およびソース線 SL においてプリチャージ時に消費される充電電流をさらに削減できる。この結果、実施の形態 1 の場合と比較して、さらなる低消費電力化を図ることができる。

【 0 1 2 8 】

〔実施の形態 1 の変形例 2〕

図 8 は、メモリアレイ 10 およびその周辺回路の実施の形態 1 の変形例 2 に従う構成を示す概念図である。

【 0 1 2 9 】

図 8 を参照して、実施の形態 1 の変形例 2 に従う構成においては、図 5 に示した実施の形態 1 の変形例 1 に従う構成に加えて、参照電圧 V_{REF} を生成するためのダミーメモリセル DMC と、これに対応して設けられる、ダミービット線 DBL 、ダミーソース線 DSL 、ダミービット線選択ゲート $BCSG_d$ 、およびダミーソース線選択ゲート $SCSG_{bd}$ とがさらに配置される。

【 0 1 3 0 】

さらに、データバス DB との間でデータバス対 DBP を構成する、参照電圧 V_{REF} を伝達するためのデータバス/ DB が設けられる。また、データ読出回路 $52r$ に代えてデータ読出回路 $53r$ が設けられる。その他の部分の構成は、実施の形態 1 と同様であるので、詳細な説明は繰り返さない。

【 0 1 3 1 】

ダミーメモリセル DMC は、ダミービット線 DBL およびダミーソース線 DSL との間に直列に接続された、ダミー抵抗 MTJ_d と、ダミーアクセストランジスタ ATR_d とを有する。ダミー抵抗 MTJ_d は、記憶データレベルが H レベルおよび L レベルである場合にそれぞれ対応する電気抵抗値 R_1 および R_0 の中間値に相当する電気抵抗値 R_d を有する。ダミーアクセストランジスタ ATR_d のゲートには電源電圧 V_{DD} が印加されているので、ダミー抵抗 MTJ_d は、ダミービット線 DBL およびダミーソース線 DSL との間に電氣的に結合される。

【 0 1 3 2 】

ダミー選択線 CSLd は、データ読出時において、列選択結果にかかわらず常に活性状態（Hレベル）に設定される。

【0133】

ダミービット線選択ゲート BCSGd は、接地電圧 VSS とダミービット線 DBL との間に電氣的に結合され、ダミー選択線 CSLd の反転電圧に応答してオン・オフするトランジスタスイッチを有する。したがって、ダミービット線選択ゲート BCSGd は、ダミー選択線 CSLd が非活性状態（Lレベル）に設定されるデータ読出前において、ダミービット線 DBL を接地電圧 VSS にプリチャージするとともに、ダミー選択線 CSLd が活性状態（Hレベル）に設定されるデータ読出時において、ダミービット線 DBL を接地電圧 VSS から切離す。また、ダミービット線 DBL は、データバス/DB と電氣的に結合されている。

【0134】

ダミーソース線選択ゲート SCSGb d は、ソース線線選択ゲート SCSGb と同様の構成を有し、データ読出前にダミーソース線 DSL を接地電圧 VSS にプリチャージするとともに、データ読出時において、ダミーソース線 DSL を電源電圧 VDD に駆動する。すなわち、ダミーソース線 DSL の電圧は、選択列に対応するソース線 SL と同様に設定される。

【0135】

このような構成とすることによって、データ読出時において、ダミービット線 DBL およびデータバス/DB は、ダミーメモリセル DMC と結合され、データバス DB は、選択メモリセルと結合される。

【0136】

図9は、データ読出回路 53r の構成を示す回路図である。

図9を参照して、データ読出回路 53r は、データ読出回路 52r と比較して、データバス/DB に対応して配置されるプリチャージトランジスタ PTc およびトランスファゲート TGc をさらに含む点で異なる。その他の部分の構成は、データ読出回路 51r と同様であるので、詳細な説明は繰り返さない。

【0137】

プリチャージトランジスタ PTc は、接地電圧 VSS とデータバス/DB との

間に電氣的に結合され、プリチャージトランジスタ $P T b$ と同様に、制御信号 $P R$ に応答してオン・オフする。したがって、データ読出前において、データバス $D B$ および $/ D B$ の各々は、接地電圧 $V S S$ にプリチャージされる。また、データ読出時において、データバス $D B$ および $/ D B$ の各々は、接地電圧 $V S S$ から切離される。

【0138】

トランスファークゲート $T G c$ は、データバス $/ D B$ と差動増幅器 57 の入力ノードとの間に接続され、トランスファークゲート $T G a$ と同様にトリガパルス ϕr に応答して動作する。したがって、トリガパルス ϕr の活性化期間において、トランスファークゲート $T G a$ および $T G c$ は、データバス $D B$ および $/ D B$ を差動増幅器 57 の入力ノードの一方ずつと電氣的に結合する。

【0139】

差動増幅器 57 は、伝達されたデータバス $D B$ および $/ D B$ の電圧差に応じて、読出データ $D O U T$ を生成する。

【0140】

図 10 は、実施の形態 1 の変形例 2 に従うデータ読出動作を説明するタイミングチャートである。

【0141】

図 10 を参照して、ダミー選択線 $C S L d$ およびダミーソース線 $D S L$ の電圧は、選択列に対応する、コラム選択線 $C S L j$ およびソース線 $S L j$ と同様に設定される。

【0142】

図 10 においては、図 4 に示したタイミングチャートに加えて、ダミービット線 $D B L$ およびデータバス $/ D B$ の電圧波形が示される。

【0143】

ダミーメモリセル $D M C$ を介して、電源電圧 $V D D$ に駆動されるダミーソース線 $D S L$ と電氣的に結合される、ダミービット線 $D B L$ およびデータバス $/ D B$ には、ダミー抵抗 $M T J d$ の中間的な電気抵抗値 $R d$ に応じた速度の電圧変化が生じる。すなわち、記憶データレベルが H レベルの場合におけるデータバス $D B$

の電圧変化速度と、記憶データレベルがLレベルの場合におけるデータバスDBの電圧変化速度との中間的な速度で、データバス/DBの電圧は変化する。

【0144】

したがって、実施の形態1の変形例1の場合と同様に、所定の時刻 t_1 において、トリガパルス ϕ_r をワンショット状に活性化(Hレベル)して、データ読出回路53rによってデータバスDBおよび/DBの電圧差を検知増幅することによって、読出データDOU Tを生成する。

【0145】

なお、ダミーメモリセルDMCを用いて参照電圧VREFを正確に生成するためには、データ読出回路53rと接地電圧VSSとの間に形成される、選択メモリセルを含む第1の電流パスと、ダミーメモリセルDMCを含む第2の電流パスとの電気抵抗値が同様の値となるように、データバスDB、/DB、ビット線BL、およびダミービット線DBLを設計する必要がある。たとえば、これらの配線の単位長当たりの抵抗値を、上述した条件を配慮して設計すればよい。

【0146】

このように、ダミーメモリセルを用いて比較対象となる参照電圧VREFを生成することによって、データ読出回路53rの電圧検知タイミング、すなわちトリガパルス ϕ_r の活性化タイミングに誤差が生じても、データ読出を正確に実行することができる。すなわち、データ読出回路53rの電圧検知タイミングの変動が生じても、データ読出マージンを確保することができる。

【0147】

〔実施の形態1の変形例3〕

実施の形態1の変形例3においては、開放型ビット線構成におけるダミーメモリセルの配置が示される。

【0148】

図11は、メモリアレイ10およびその周辺回路の実施の形態1の変形例3に従う構成を示す概念図である。

【0149】

図11を参照して、メモリアレイ10は、行方向に沿って2つのメモリマツト

MT a および MT b に分割される。メモリマツト MT a および MT b の各々において、メモリセル行にそれぞれ対応してリードワード線 RWL およびライトワード線 WWL が配置され、メモリセル列にそれぞれ対応してビット線 BL およびソース線 SL が配置される。

【0150】

メモリマツト MT a および MT b の各々には、m 本ずつのビット線がいわゆる開放型ビット線構成に基づいて配置される。図 11 においては、一方のメモリマツト MT a に配置されるビット線およびソース線を BL 1 ~ BL m, SL 1 ~ SL m と表記し、他方のメモリマツト MT a に配置されるビット線およびソース線を /BL 1 ~ /BL m, /SL 1 ~ /SL m と表記する。メモリセル MC は、各メモリセル行においてビット線 BL とソース線 SL との間に設けられる。また、ビット線を /BL 1 ~ /BL m およびソース線 /SL 1 ~ /SL m を総括的に表記する場合には、単にビット線 /BL およびソース線 /SL と表記する。

【0151】

メモリマツト MT a のビット線 BL 1 ~ BL m にそれぞれ対応して、ビット線選択ゲート BCSG b 1 a ~ BCSG b m a が配置される。同様に、メモリマツト MT b のビット線 /BL 1 ~ /BL m にそれぞれ対応して、ビット線選択ゲート BCSG b 1 b ~ BCSG b m b が配置される。

【0152】

ビット線選択ゲート BCSG b 1 a ~ BCSG b m a の各々は、ビット線選択ゲート BCSG b と同様の構成を有し、データ読出前においては対応するビット線 BL を接地電圧 VSS にプリチャージするとともに、データ読出時において対応するメモリセル列が選択された場合には、対応するビット線 BL をデータバス DB と電氣的に結合する。

【0153】

ビット線選択ゲート BCSG b 1 b ~ BCSG b m b の各々は、ビット線選択ゲート BCSG b と同様の構成を有し、データ読出前においては対応するビット線 /BL を接地電圧 VSS にプリチャージするとともに、データ読出時において対応するメモリセル列が選択された場合には、対応するビット線 /BL をデータ

バス/DBと電氣的に結合する。

【0154】

メモリマツトMTaのソース線SL1～SLmにそれぞれ対応して、ソース線選択ゲートSCSGb1a～SCSGbmaが配置される。同様に、メモリマツトMTbのソース線/SL1～/SLmにそれぞれ対応して、ソース線選択ゲートSCSGb1b～SCSGbmbが配置される。

【0155】

ソース線選択ゲートSCSGb1a～SCSGbmaおよびSCSGb1b～SCSGbmbの各々は、ソース線選択ゲートSCSGbと同様の構成を有し、データ読出前においては対応するソース線SLもしくは/SLを接地電圧VSSにプリチャージするとともに、データ読出時において対応するメモリセル列が選択された場合には、対応するソース線SLもしくは/SLを電源電圧VDDに駆動する。

【0156】

データバス対DBPを構成するデータバスDBおよび/DBに対して、図9に示した構成のデータ読出回路53rによって、プリチャージおよびデータ電圧の検知増幅が実行される。

【0157】

メモリマツトMTaおよびMTbの各々において、1つのダミー行を形成するように複数のダミーメモリセルDMCが配置される。メモリマツトMTaに配置される複数のダミーメモリセルは、ビット線BL1～BLmとソース線SL1～SLmとの間にそれぞれ設けられる。すなわち、同一のメモリセル列に属する、複数のメモリセルMCとダミーメモリセルDMCとは、ビット線BLおよびソース線SL、ならびに、ビット線選択ゲートBCSGbおよびソース線選択ゲートSCSGbを共有するように効率的に配置される。

【0158】

同様に、メモリマツトMTbに配置される複数のダミーメモリセルは、ビット線/BL1～/BLmとソース線/SL1～/SLmとの間にそれぞれ設けられる。すなわち、同一のメモリセル列に属する、複数のメモリセルMCとダミーメ

メモリセルDMCとは、ビット線／BLおよびソース線／SL、ならびに、ビット線選択ゲートBCSGbおよびソース線選択ゲートSCSGbを共有するように配置される。

【0159】

メモリマットMTaにおいて、メモリセル行にそれぞれ対応してリードワード線RWL1a, RWL2a, …およびライトワード線WWL1a, WWL2a, …が配置される。さらに、ダミー行に対応してダミーリードワード線DRWL a およびダミーライトワード線DWWL a が配置される。なお、ダミーメモリセルDMCに対して、磁気的なデータ書込を実行する必要があるとは限らないが、そのような場合においても、メモリセルMCが配置される領域との間における形状の連続性を確保するために、ダミーライトワード線DWWL a を配置することが望ましい。

【0160】

同様に、メモリマットMTaにおいて、メモリセル行にそれぞれ対応してリードワード線RWL1b, RWL2b, …およびライトワード線WWL1b, WWL2b, …が配置される。さらに、ダミー行に対応してダミーリードワード線DRWL b およびダミーライトワード線DWWL b が配置される。

【0161】

図12は、実施の形態1の変形例3に従うデータ読出動作を説明するタイミングチャートである。

【0162】

図12を参照して、ダミーリードワード線DRWL a およびDRWL b は、データ読出対象となる選択メモリセルが含まれていない、非選択のメモリブロックにおいて活性化される。一方、選択メモリセルが含まれている、選択されたメモリブロックにおいては、行選択結果に対応するリードワード線RWLが活性化される。

【0163】

たとえば、選択メモリセルがメモリマットMTaの第i行(i:自然数)に属する場合には、選択されたメモリマットMTaにおいては、リードワード線RW

、 L_{ia} が活性化（Hレベル）され、ダミーリードワード線 $DRWL_a$ は非活性状態（Lレベル）に維持される。非選択のメモリマット MT_b においては、ダミーリードワード線 $DRWL_b$ が活性化されるが、リードワード線 $RWL_{1b} \sim RWL_{nb}$ は、いずれも非活性状態（Lレベル）に維持される。

【0164】

反対に、選択メモリセルがメモリマット MT_b の第 i 行（ i ：自然数）に属する場合には、選択されたメモリマット MT_b においては、リードワード線 RWL_{ib} が活性化（Hレベル）され、ダミーリードワード線 $DRWL_b$ は非活性状態（Lレベル）に維持される。このとき、非選択のメモリマット MT_a においては、ダミーリードワード線 $DRWL_a$ が活性化される一方で、リードワード線 $RWL_{1a} \sim RWL_{na}$ は、いずれも非活性状態（Lレベル）に維持される。

【0165】

この結果、選択されたメモリマットにおいては、ビット線およびソース線の各々の間にはメモリセルMCが電氣的に結合され、非選択のメモリマットにおいては、ビット線およびソース線の各々の間にはダミーメモリセルDMCが電氣的に結合される。

【0166】

さらに、接地電圧 V_{SS} にプリチャージされた各ビット線 BL 、 $/BL$ および各ソース線 SL 、 $/SL$ のうちから、選択列に対応するビット線 BL_j および BL_j が、データバス DB および $/DB$ とそれぞれ結合され、選択列に対応するソース線 SL_j および $/SL_j$ が、電源電圧 V_{DD} に駆動される。

【0167】

図12においては、メモリマット MT_a が選択された場合、すなわちビット線 BL_j およびデータバス DB に選択メモリセルが結合され、ビット線 $/BL_j$ およびデータバス $/DB$ にダミーメモリセルDMCが結合された場合の電圧波形が示される。

【0168】

選択列に対応するビット線 BL_j 、 $/BL_j$ およびソース線 SL_j 、 $/SL_j$ ならびに、データバス DB 、 $/DB$ の電圧変化は、図10の場合と同様であるの

で、詳細な説明は繰り返さない。

【0169】

したがって、実施の形態1の変形例3と同様に、データ読出回路53rの電圧検知タイミング、すなわちトリガパルス ϕ_r の活性化タイミングの変動が生じて、データ読出マージンを確保することができる。

【0170】

さらに、実施の形態1の変形例3の構成と比較して、ダミーメモリセル専用のダミービット線DBL、ダミーソース線DSLおよびこれらに対応した選択ゲートを設ける必要がないので、デバイスの小型化を図ることができる。

【0171】

また、メモリマットMTa、MTbのそれぞれに対して、対を成すように配置される、ビット線BLと \neg BL、ソース線SLと \neg SL、およびデータバスDBと \neg DBとの単位長当たりの電気抵抗値が同様となるように、それらの材質・断面形状・断面積等を同様に設計すれば、特別な配慮を行なうことなく、データ読出回路53rと接地電圧VSSとの間に形成される、選択メモリセルを含む第1の電流パスと、ダミーメモリセルDMCを含む第2の電流パスとの電気抵抗値を揃えて、参照電圧VREFを正確に生成できる。

【0172】

〔実施の形態1の変形例4〕

実施の形態1の変形例4においては、折返し型ビット線構成におけるダミーメモリセルの配置が示される。

【0173】

図13は、メモリアレイ10およびその周辺回路の実施の形態1の変形例4に従う構成を示す概念図である。

【0174】

図13を参照して、実施の形態1の変形例4に従う構成においては、メモリセル列のそれぞれに対応して、ビット線対BLP1およびソース線SLとが配置される。ビット線対BLPは、相補のビット線BLおよび \neg BLから構成される。

【0175】

図13においては、第1番目のメモリセル列に対応して配置される、ビット線BL1および/BL1によって構成されるビット線対BLP1と、ソース線SL1とが代表的に示される。

【0176】

ビット線BL1および/BL1にそれぞれ対応して、ビット線選択ゲートBCSGb1および/BCSGb1がそれぞれ配置される。ビット線選択ゲートBCSGb1は、ビット線選択ゲートBCSGbと同様の構成を有し、データ読出前においてビット線BL1を接地電圧VSSにプリチャージするとともに、データ読出時において対応するメモリセル列が選択された場合には、ビット線BL1をデータバスDBと電氣的に結合する。

【0177】

ビット線選択ゲート/BCSGb1は、ビット線選択ゲートBCSGbと同様の構成を有し、データ読出前においてビット線/BL1を接地電圧VSSにプリチャージするとともに、データ読出時において対応するメモリセル列が選択された場合には、ビット線/BL1をデータバス/DBと電氣的に結合する。

【0178】

ソース線SL1に対応して、ソース線選択ゲートSCSGb1が配置される。ソース線選択ゲートSCSGbは、ソース線選択ゲートSCSGbと同様の構成を有し、データ読出前においてソース線SL1を接地電圧VSSにプリチャージするとともに、データ読出時において対応するメモリセル列が選択された場合には、ソース線SL1を電源電圧VDDに駆動する。

【0179】

以降のメモリセル列に対しても、同様に、ビット線対、ビット線対を構成する相補のビット線にそれぞれ対応するビット線選択ゲート、ソース線およびソース線選択ゲートが配置される。

【0180】

データバス対DBPを構成するデータバスDBおよび/DBに対して、図9に示した構成のデータ読出回路53rによって、プリチャージおよびデータ電圧の検知増幅が実行される。

【 0 1 8 1 】

メモリセル行にそれぞれ対応してリードワード線RWL1a, RWL2a, … およびライトワード線WWL1a, WWL2a, …が配置される。メモリセルMCは、1行ごとにビット線BLおよび／BLのいずれか一方ずつとソース線SLとの間に設けられる。たとえば、第1列に属するメモリセルMCについて説明すれば、第1行目のメモリセルは、ビット線BL1とソース線SL1との間に設けられ、第2行目のメモリセルは、ビット線／BL1とソース線SL1との間に設けられる。以下同様に、メモリセルMCの各々は、奇数行においてビット線BLとソース線SLとの間に設けられ、偶数行においてビット線／BLとソース線との間に設けられる。

【 0 1 8 2 】

この結果、リードワード線RWLが行選択結果に応じて選択的に活性化されると、各メモリセル列において、ビット線BLおよびソース線SLの間、もしくはビット線／BLおよびソース線SLの間にメモリセルMCが結合される。

【 0 1 8 3 】

ダミーメモリセルDMCは、2つのダミー行を形成するように配置される。ダミー行にそれぞれ対応して、ダミーリードワード線DRWL0およびDRWL1と、ダミーライトワード線DWWL0およびDWWL1とが配置される。既に説明したように、メモリセルMCが配置される領域との間における形状の連続性を考慮して、ダミーライトワード線DWWL0, DWWL1は配置される。

【 0 1 8 4 】

各メモリセル列において、ダミーメモリセルDMCは、ビット線BLおよび／BLとソース線SLとの間にそれぞれ設けられる。すなわち、同一のメモリセル列に属する、複数のメモリセルMCとダミーメモリセルDMCとは、ビット線BL, ／BLおよびソース線SL、ならびに、ビット線選択ゲートBCSGbおよびソース線選択ゲートSCSGbを共有するように効率的に配置される。

【 0 1 8 5 】

図14は、実施の形態1の変形例4に従うデータ読出動作を説明するタイミングチャートである。

【0186】

図14を参照して、ダミーリードワード線DRWL0およびDRWL1は、各ビット線対において、ビット線BLおよび／BLのうちメモリセルMCと結合されていない一方をダミーメモリセルDMCと結合するように選択的に活性化される。

【0187】

すなわち、奇数行が選択された場合には、ダミーリードワード線DRWL1が活性化され、偶数行が選択された場合には、ダミーリードワード線DRWL0が活性化される。この結果、各ビット線対において、ビット線BLおよび／BLとソース線SLとの間には、メモリセルMCおよびダミーメモリセルDMCとの一方ずつがそれぞれ結合される。

【0188】

図12においては、一例として、第i行(i:奇数)が選択されたものとする。この結果、各メモリセル行において、ビット線BLとソース線SLとの間にメモリセルMCが電氣的に結合され、ビット線／BLとソース線SLとの間にはダミーメモリセルDMCが電氣的に結合される。

【0189】

さらに、接地電圧VSSにプリチャージされた各ビット線BL、／BLおよび各ソース線SLのうちから、選択列に対応するビット線BLjおよび／BLjが、データバスDBおよび／DBとそれぞれ結合され、選択列に対応するソース線SLjが、電源電圧VDDに駆動される。

【0190】

選択列に対応するビット線BLj、／BLjおよびソース線SLj、／SLjならびに、データバスDB、／DBの電圧変化は、図10および12の場合と同様であるので、詳細な説明は繰り返さない。

【0191】

したがって、実施の形態1の変形例3に従う構成と同様に、データ読出回路53rの電圧検知タイミングの変動が生じて、データ読出マージンを確保可能であるとともに、ソース線、ビット線対およびこれらに対応した選択ゲートをメモ

リセルMCと共有して、デバイスの小型化を図ることができる。また、特別な配慮を行なうことなく、データ読出回路53rと接地電圧VSSとの間に形成される、選択メモリセルを含む第1の電流パスと、ダミーメモリセルDMCを含む第2の電流パスとの電気抵抗値を容易に揃えて、参照電圧VREFを正確に生成できる。

【0192】

さらに、実施の形態1の変形例4に従う構成においては、折返し型ビット線構成に基づくデータ読出が実行できるため、ビット線対BLPおよびデータバス対DBPに対する電氣的なノイズへの耐性を高めることができる。

【0193】

〔実施の形態2〕

実施の形態2においては、メモリセルに対するデータ書込動作を安定化するようにデータ書込電流を供給する構成について説明する。

【0194】

図15は、メモリアレイ10およびその周辺回路の実施の形態2に従う構成を示す概念図である。

【0195】

図15を参照して、メモリアレイ10における、メモリセルMC、リードワード線RWL、ビット線対BLP、ソース線SL等、およびデータ読出に関する回路群の構成は、図13に示した構成と同様であるので、詳細な説明は繰り返さない。

【0196】

図15には、データ書込電流を流すためのワード線電流制御回路40およびデータ書込回路51wがさらに示される。さらに、各ビット線対に対応して、ビット線結合トランジスタ62が設けられる。ビット線結合トランジスタ62は、メモリアレイ10を挟んで、ビット線選択ゲートBCGSbおよびソース線選択ゲートSCSGbと反対側の領域に配置される。図15においては、ビット線対BLP1に対応するビット線結合トランジスタ62-1が代表的に示される。

【0197】

ビット線結合トランジスタ62は、データ書込時において、対応するビット線対を構成する相補のビット線の一端同士を電氣的に結合する。たとえば、ビット線結合トランジスタ62-1は、データ書込時にHレベルに活性化される制御信号WEに応答して、ビット線BLおよび／BLを電氣的に結合する。

【0198】

ワード線電流制御回路40は、メモリアレイ10を挟んでワード線ドライバ30と反対側の領域において、ライトワード線WWLの各々を接地電圧VSSと結合する。ワード線ドライバ30は、行選択結果に応じて、選択行に対応するライトワード線WWLを電源電圧VDDと電氣的に結合することによって活性化する。したがって、ワード線ドライバ30による選択的なライトワード線WWLの活性化に응答して、ワード線ドライバ30からワード線電流制御回路40へ向かう方向に、データ書込電流I_pを流すことができる。

【0199】

図16は、データ書込回路51wの構成を示す回路図である。

図16を参照して、データ書込回路51wは、制御信号WEに응答して動作する。データ書込回路51wは、内部ノードNw0に一定電流を供給するためのP型MOSトランジスタ151と、トランジスタ151の通過電流を制御するためのカレントミラー回路を構成するP型MOSトランジスタ152および電流源153を含む。

【0200】

データ書込回路51wは、さらに、内部ノードNw0から動作電流の供給を受けて動作するインバータ154、155および156を有する。インバータ154は、書込データDINの電圧レベルを反転してデータバスDBに伝達する。インバータ155は、書込データDINの電圧レベルを反転してインバータ156の入力ノードに伝達する。インバータ156は、インバータ154の出力を反転して、データバス／DBに伝達する。

【0201】

したがって、データ書込回路51wは、書込データDINの電圧レベルに応じて、データバスDBおよび／DBの電圧を電源電圧VDDおよび接地電圧VSS

、の一方ずつに設定する。

【0202】

再び図15を参照して、データ書込時においても、選択列に対応するコラム選択線CSLがHレベルに活性化される。これに応答して、選択列に対応するビット線BLおよび／BLは、データ書込回路51wによって書込データDINのレベルに応じた電圧に設定されたデータバスDBおよび／DBとそれぞれ電氣的に結合される。

【0203】

既に説明したように、各メモリセル列において、ビット線BLおよび／BLは、ビット線結合トランジスタ62によって一端同士が電氣的に結合されている。したがって、選択列においては、対応するコラム選択線CSLの活性化（Hレベル）に응答して、データ書込回路51w～データバスDB（／DB）～ビット線選択ゲートBCSGb（／BCSGb）～ビット線BL（／BL）～ビット線結合トランジスタ62～ビット線／BL（BL）～ビット線選択ゲート／BCSGb（BCSGb）～データバス／DB（DB）～データ書込回路51wで形成される往復電流パスに、書込データDINのレベルに応じた方向のデータ書込電流 $\pm I_w$ を流すことができる。

【0204】

ワード線ドライバ30は、内部クロックCLKに응答したタイミングで、リードワード線RWLもしくはライトワード線WWLを行選択結果に基づいて選択的に活性化する。これに対して、列デコーダ25は、コラム選択クロック／CSに응答したタイミングで、コラム選択線CSLを列選択結果に基づいて選択的に活性化する。

【0205】

図17は、コラム選択クロック生成回路200の構成を示す回路図である。

図17を参照して、コラム選択クロック生成回路200は、複数のインバータで構成される遅延段202と、論理ゲート203および204を含む。

【0206】

遅延段202は、内部クロックCLKを所定の遅延時間 ΔTW 遅延させる。論

。論理ゲート 2 0 3 は、遅延段 2 0 2 によって遅延された内部クロックと、制御信号／WE との OR 論理演算結果を出力する。制御信号／WE は、データ書込時およびデータ書込時のそれぞれにおいて、活性状態（L レベル）および非活性状態（H レベル）に設定される。論理ゲート 2 0 4 は、論理ゲート 2 0 3 の出力と内部クロック CLK との NAND 論理演算結果を、コラム選択クロック／CS として出力する。

【 0 2 0 7 】

図 1 8 は、コラム選択クロックの位相変化を説明するタイミングチャートである。

【 0 2 0 8 】

図 1 8 を参照して、データ読出時においては、制御信号／WE は H レベルに設定されるので、論理ゲート 2 0 3 は、常に H レベルを出力する。この結果、コラム選択クロック／CS は、内部クロック CLK の反転信号に相当する。したがって、内部クロック CLK およびコラム選択クロック／CS の活性化タイミングは同様である。

【 0 2 0 9 】

これに対して、データ書込時においては、制御信号／WE は L レベルに設定されるので、論理ゲート 2 0 3 は、遅延段 2 0 2 によって遅延された内部クロックを出力する。この結果、コラム選択クロック／CS の活性化タイミングは、内部クロック CLK よりも、遅延段 2 0 4 による遅延時間 $\Delta T W$ だけ遅く設定される。

【 0 2 1 0 】

図 1 9 は、実施の形態 2 に従うデータ読出およびデータ書込動作を説明するタイミングチャートである。

【 0 2 1 1 】

図 1 9 を参照して、時刻 t_s においてデータ読出動作が開始された後、時刻 t_0 において、ワード線ドライバ 3 0 は、内部クロック CLK に基づいて、選択行に対応するリードワード線 RWLi を活性化する。同様に、列デコーダ 2 5 は、内部クロック CLK とほぼ同様の活性化タイミングを有するコラム選択クロック

／CSに基づいて、時刻 t_0 とほぼ同様のタイミングにおいて、選択列に対応するコラム選択線CSL j を活性化する。

【0212】

リードワード線RWLおよびコラム選択線CSLの活性化に応答して、メモリセルにセンス電流（データ読出電流）が流されて、選択列に対応するビット線BL j ，／BL j およびソース線SL j において、図14と同様の電圧変化が生じ、実施の形態1の変形例4と同様のデータ読出が実行される。

【0213】

すなわち、データ読出時には、リードワード線RWLおよびコラム選択線CSLの活性化は、同様のタイミングに基づいて決定される。すなわち、リードワード線RWLとコラム選択線CSLとの活性化順序に特に制約は設けられず、アクセスを高速化するために、それぞれは最速のタイミングで活性化される。

【0214】

データ書込時においても、ワード線ドライバ30は、データ読出時と同様に、内部クロックCLKに基づいたタイミングで動作する。よって、時刻 t_s においてデータ書込動作が開始された後、データ読出時と同様の時刻 t_0 において、ワード線ドライバ30は、選択行に対応するライトワード線WWL i を活性化する。これに응答して、ライトワード線WWL i に対するデータ書込電流の供給が開始される。

【0215】

一方、列デコーダ25は、内部クロックCLKよりも ΔTW 遅れた活性化タイミングを有するコラム選択クロック／CSに基づいて、時刻 t_0 よりも後の時刻 t_3 において、選択列に対応するコラム選択線CSL j を活性化する。これに응答して、選択列に対応するビット線BL j および／BL j は、データバスDBおよび／DBを介して電源電圧VDDおよび接地電圧VSSの一方ずつに設定されて、ビット線に対するデータ書込電流の供給が開始される。

【0216】

このように、データ書込時においては、選択列に対応するビット線に対してデータ書込電流の供給が開始されるタイミングは、ライトワード線に対してデータ

書込電流の供給が開始されるタイミングよりも、意図的に遅く設定される。すなわち、データ書込電流の供給開始タイミングは、段階的に設定される。

【0217】

この結果、選択メモリセルに対しては、まずライトワード線WWLを流れるデータ書込電流 I_p によって生じるデータ書込磁界が印加された後で、ビット線BLを流れるデータ書込電流 I_w によって生じるデータ書込磁界がさらに印加される。

【0218】

次に、上述したようなデータ書込電流の段階的な供給と、メモリセルに対する磁気的なデータ書込特性との関係について説明する。

【0219】

図20は、メモリセル中のトンネル磁気抵抗素子の構成を示す断面図である。

図20を参照して、磁気トンネル接合部MTJに相当するトンネル磁気抵抗素子TMRは、反強磁性体層101と、反強磁性体層101上に形成される、一定方向の固定磁界を有する固定磁気層102の一部領域と、印加磁界によって磁化される自由磁気層103と、固定磁気層102および自由磁気層103の間に形成される絶縁体膜であるトンネルバリア104と、コンタクト電極105とを含む。

【0220】

反強磁性体層101、固定磁気層102および自由磁気層103は、FeMn、NiFe等の適当な磁性材料によって形成される。トンネルバリア104は、 Al_2O_3 等によって形成される。

【0221】

トンネル磁気抵抗素子TMRは、必要に応じて配置される、金属配線と電氣的に結合するための緩衝材であるバリアメタル106を介して上部配線と電氣的に結合される。コンタクト電極105は、下部配線（図示せず）と電氣的に結合される。たとえば、上部配線はビット線BLに相当し、下部配線は、アクセストランジスタATRと結合される金属配線に相当する。

【0222】

このようにして、上部配線および下部配線の間、磁気トンネル接合を有するトンネル磁気抵抗素子TMRを電氣的に結合することができる。

【0223】

図21は、トンネル磁気抵抗素子中の自由磁気層における磁化方向を示す概念図である。図21には、一例として、トンネル磁気抵抗素子TMRが長方形形状で設けられた場合における自由磁気層103の平面図が示される。

【0224】

図21を参照して、長方形形状の自由磁気層103においては、長さ方向（図21における左右方向）に磁化容易軸（EA: Easy Axis）が形成され、幅方向（図21における上下方向）に磁化困難軸（HA: Hard Axis）が形成される。

【0225】

ビット線BLを流れるデータ書込電流によって発生するデータ書込磁界は、磁化容易軸（EA）に沿った方向を有する。一方、ライトワード線WWLを流れるデータ書込電流によって発生するデータ書込磁界は、磁化困難軸（HA）に沿った方向を有する。データ書込磁界の方向を上記とするために、たとえば長方形形状のメモリセルに対しては、ライトワード線WWLは長辺方向に沿って配置され、ビット線BLは短辺方向に沿って配置される。

【0226】

中央部付近の磁化容易軸領域107においては、磁化容易軸方向に印加された外部磁界に応答して、磁化方向が容易に反転する。一方、左右端の磁化困難軸領域108、109においては、磁化容易軸方向の外部磁界が印加されても、磁化方向は容易に反転しない。

【0227】

図22および図23には、磁化容易軸領域および磁化困難軸領域のそれぞれにおける磁化特性を説明するためのヒステリシス曲線が示される。

【0228】

図22を参照して、磁化容易軸領域107は、磁化容易軸方向の所定磁界+H_cよりも大きい+方向の磁界が印加された場合に+M_cに磁化され、所定磁界-H_cよりも大きい-方向の磁界が印加された場合に-M_cに磁化される。したが

って、 $-H_c \sim +H_c$ の範囲の所定レベル以下の磁界が印加される場合には磁化方向が変化せず、メモリセルとして望ましい特性を有する。

【0229】

図23を参照して、磁化困難軸領域108, 109は、磁化容易軸方向の磁界に応答して容易に磁化されず、磁化の方向および量が徐々に変化する特性を有する。したがって、磁化困難軸領域は、磁化容易軸方向の磁界に応答して、磁化の方向および量が2値的に設定される磁化容易軸領域とは異なり、メモリセルとして望ましくない特性を有している。

【0230】

図24は、データ書込時における自由磁気層の磁化を説明する概念図である。

図24を参照して、メモリセルに対して安定的にデータを書込むためには、図24(a)もしくは(b)に示すように、自由磁気層の磁化容易軸領域107を磁化容易軸に沿った一方向に一樣に磁化するとともに、磁化困難軸領域108, 109を磁化困難容易軸に沿った一方向に一樣に磁化する必要がある。

【0231】

上述したように、コラム選択線CSLの活性化タイミングをライトワード線WLよりも遅らせることによって、磁化困難軸に沿った方向のデータ書込磁界を発生させるデータ書込電流をライトワード線WWLに流して、磁化困難軸領域108, 109における磁化方向を一方向(図24(a), (b)においては上向き)に揃えた後に、磁化容易軸に沿った方向のデータ書込磁界を発生させるデータ書込電流をビット線BLに供給することができる。この結果、図24(a), (b)に示すように、書込データのレベル対応する、磁化容易軸に沿った一方向に、磁化容易軸領域107を一樣に磁化して、データ記憶に望ましい磁化状態を得ることができる。

【0232】

これに対して、ライトワード線WWLとコラム選択線CSLとをほぼ同時に活性化、あるいはコラム選択線CSLをライトワード線WWLよりも早く活性化した場合には、自由磁気層が多安定状態に陥り、図24(c), (d), (e)に示すように、磁化の方向は、望ましい安定状態以外の不揃いな中間状態となって

しまう。この結果、データ書込後における自由磁気層の磁化方向は、図24(a)もしくは(b)に示されるような、想定されている向きに揃わなくなる。したがって、データが書込まれたメモリセルにおいて、記憶データレベルの違いに応じた所望の電気抵抗差が確保できず、誤動作の原因となってMRAMデバイスの動作安定性が損なわれる。

【0233】

すなわち、実施の形態2に示すような、磁化困難軸方向に沿った磁界を発生させるデータ書込電流を流した後に、磁化容易軸方向に沿った磁界を発生させるデータ書込電流を流すように、データ書込電流の供給開始タイミングを段階的に設定することによって、メモリセルの磁気特性を考慮してデータ書込を安定的に実行できる。

【0234】

また、選択列に対応するビット線に着目すれば、コラム選択クロック/CSの活性化タイミングをデータ読出時とデータ書込時とで切替えることで、データ書込動作が開始されてからデータ書込電流が流れるまでの時間(図19における $t_s \sim t_3$)は、データ読出動作が開始されてからセンス電流が流れるまでの時間(図19における $t_s \sim t_0$)よりも長く設定される。すなわち、データ書込時には意図的にデータ書込電流の供給タイミングを遅らせる一方で、データ書込時には最速のタイミングでセンス電流の供給を開始することによって、安定的なデータ書込と高速なデータ読出とを両立することができる。

【0235】

なお、図16においては、図14に示した実施の形態1の変形例4に従う構成をベースとして、実施の形態2に従うデータ書込電流の供給を行なうための構成について説明したが、メモリアレイおよびデータ読出に関連する周辺回路の構成に依存することなく、実施の形態2に従う構成を適用することが可能である。

【0236】

〔実施の形態3〕

実施の形態3においては、データ書込電流を効率的に供給するための構成について説明する。

【 0 2 3 7 】

図 2 5 は、メモリアレイ 1 0 およびその周辺回路の実施の形態 3 に従う構成を示す概念図である。

【 0 2 3 8 】

図 2 5 を参照して、 n 行 \times m 列に配列されるメモリセル MC を有するメモリアレイ 1 0 において、メモリセル行にそれぞれ対応して、リードワード線 RWL 1, RWL 2, ... およびライトワード線 WWL 1, WWL 2, ... がそれぞれ設けられる。また、メモリセル列にそれぞれ対応して、ビット線 BL 1 ~ BL m およびソース線 SL 1 ~ SL m がそれぞれ設けられる。

【 0 2 3 9 】

ワード線電流制御回路 4 0 は、メモリアレイ 1 0 を挟んでワード線ドライバ 3 0 と反対側の領域において、各ライトワード線 WWL を接地電圧 VSS と結合する。

【 0 2 4 0 】

メモリアレイ 1 0 と隣接する領域に、リードワード線 RWL およびライトワード線 WWL と同一方向に沿ってデータバス DB および /DB で構成されるデータバス対 DBP が設けられる。

【 0 2 4 1 】

メモリセル列にそれぞれ対応して、列選択を実行するためのコラム選択線 CSL 1 ~ CSL m 、ライトコラム選択線 WCSL 1 ~ WCSL m 、コラム選択ゲート CSG 1 ~ CSG m およびライトコラム選択ゲート WCSG 1 ~ WCSG m が配置される。

【 0 2 4 2 】

コラム選択ゲート CSG 1 ~ CSG m と、ライトコラム選択ゲート WCSG 1 ~ WCSG m とは、メモリアレイ 1 0 を挟んで互いに反対側の領域に配置される。

【 0 2 4 3 】

以下において、ライトコラム選択線、コラム選択ゲートおよびライトコラム選択ゲートを総括的に表現する場合には、符号 WCSL、CSG および WCSG を

- 用いてそれぞれ表記することとし、特定のライトコラム選択線、コラム選択ゲートおよびライトコラム選択ゲートを示す場合には、これらの符号に添字を付して W C S L 1、C S G 1 および W C S G 1 のように表記することとする。

【 0 2 4 4 】

データ書込時において、列デコーダ 2 5 は、コラムアドレス C A のデコード結果、すなわち列選択結果に応じて、コラム選択線 C S L 1 ~ C S L m およびライトコラム選択線 W C S L 1 ~ W C S L m のうちの 1 本ずつを H レベルに活性化する。データ読出時においては、列選択結果に応じて、コラム選択線 C S L 1 ~ C S L m のうちの 1 本が活性化される。すなわち、データ読出時においては、列選択結果にかかわらず、ライトコラム選択線 W C S L 1 ~ W C S L m の各々は、非活性状態（L レベル）に維持される。

【 0 2 4 5 】

対応するコラム選択線 C S L が活性化された場合において、コラム選択ゲート C S G は、対応するビット線 B L およびソース線 S L を、データバス D B および / D B と結合する。この結果、データバス D B および / D B は、選択列に対応するビット線 B L およびソース線 S L とそれぞれ電氣的に結合される。

【 0 2 4 6 】

ライトコラム選択ゲート W C S G は、対応するライトコラム選択線 W C S L が活性化された場合において、対応するビット線 B L およびソース線 S L の一端同士を電氣的に結合する。

【 0 2 4 7 】

データ書込時において、ワード線ドライバ 3 0 は、選択行に対応するライトワード線 W W L を活性化して、データ書込電流を流す。さらに、データ書込回路 5 1 w は、データ書込電流を供給するために、データバス D B および / D B を、接地電圧 V S S および電源電圧 V D D の一方ずつに設定する。

【 0 2 4 8 】

選択列において、ビット線 B L およびソース線 S L は、コラム選択ゲート C S G によってデータバス D B および / D B と結合され、さらに、ビット線 B L およびソース線 S L の一端同士は、ライトコラム選択ゲート W C S G によって結合さ

れる。

【0249】

この結果、データ書込回路51w～データバスDB～ビット線BL～ライトコラム選択ゲートWCSG～ソース線SL～データバス/DB～データ書込回路51wの往復電流パスを形成して、選択列に対応するビット線に対して、書込データレベルに応じた方向のデータ書込電流±Iwを流すことができる。

【0250】

このように、データ書込時においては、選択列に対応するビット線BLおよびソース線SLには互いに逆方向の電流が流されるが、ビット線BLおよびソース線SLを流れる電流によってそれぞれ生じる磁界は、磁気トンネル接合部MTJにおいて、同一方向となるように、ビット線BLおよびソース線SLの配置は考慮される。

【0251】

図26は、図25に示されるビット線およびソース線の配置を示す構造図である。

【0252】

図26を参照して、半導体主基板SUB上のp型領域PARにアクセストランジスタATRが形成される。アクセストランジスタATRは、n型領域であるソース/ドレイン領域110、120とゲート130とを有する。ソース/ドレイン領域110は、第1の金属配線層M1に形成されたソース線SLと結合される。

【0253】

ビット線BLは、第2の金属配線層M2に形成され、磁気トンネル接合部MTJと結合される。ライトワード線WWLは、第3の金属配線層M3に形成される。ライトワード線WWLおよびビット線BLは、データ書込時において所定値以上の大きさの磁界を発生させるためのデータ書込電流を流す必要がある。したがって、ビット線BLおよびライトワード線WWLは金属配線を用いて形成される。

【0254】

一方、リードワード線RWLは、アクセストランジスタATRのゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線RWLは、独立した金属配線層を新たに設けることなく、ゲート130と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成される。

【0255】

アクセストランジスタATRのソース／ドレイン領域120は、コンタクトホールに形成された金属膜150、第1金属配線層M1およびバリアメタル140を介して、磁気トンネル接合部MTJと電気的に結合される。バリアメタル140は、磁気トンネル接合部MTJと金属配線との間を電気的に結合するために設けられる緩衝材である。

【0256】

このように、ビット線BLおよびソース線SLは、異なる金属配線層を用いて、磁気トンネル接合部MTJを上下方向に挟むように形成される。したがって、データ書込時において、ビット線BLおよびソース線SLをそれぞれ流れる互いに逆方向の電流によって磁気トンネル接合部MTJに生じる磁界は、互いに強め合う方向に作用する。これにより、データ書込時において、ビット線BLを流れるデータ書込電流を低減することができる。これにより、データ書込時における低消費電力化、ビット線電流密度の低下による信頼性の向上および隣接セルに対する磁界ノイズの抑制を行なうことができる。

【0257】

再び図25を参照して、データ読出回路54rは、データバスDBに対応して設けられるデータ読出回路51rに加えて、データバス／DBに対応して設けられる、プリチャージトランジスタ59aおよび駆動トランジスタ59bとを有する。

【0258】

データ読出回路51rの構成は、図3に示したとおりであるので、詳細な説明は繰り返さない。データ読出回路51rは、データ読出前にデータバスDBを電源電圧VDDにプリチャージする。データバス／DBも、データバスDBと同様

のタイミングで、プリチャージトランジスタ59aによって電源電圧VDDにプリチャージされる。同様に、各ビット線BLも、データ読出前において、電源電圧VDDにプリチャージされる。

【0259】

データ読出時には、プリチャージトランジスタ59aがオフする一方で、制御信号REに応答して駆動トランジスタ59bがオンする。また、各ライトコラム選択ゲートWCSGはオフされる。

【0260】

選択列に対応するコラム選択ゲートCSGによって、データバスDBおよびDBが、選択列のビット線BLおよびソース線SLと結合されると、ソース線SLが接地電圧VSSに駆動されて、選択メモリセルと結合されたデータバスDBには、図4に示したのと同様の電圧変化が生じる。この結果、実施の形態1と同様のデータ読出を実行することができる。

【0261】

なお、データバスDBのプリチャージ電圧を接地電圧VSSとするとともに、データ読出時に選択列のビット線BLおよびソース線SLを電源電圧VDDに駆動してデータ読出を実行することも可能である。この場合には、データ読出回路54rにおいて、データ読出回路51rに代えて図6に示したデータ読出回路52rを配置するとともに、プリチャージトランジスタ59aを接地電圧VSSとデータバスDBとの間に配置し、さらに駆動トランジスタ59bを電源電圧VDDとデータバスDBとの間に配置すればよい。この際には、プリチャージトランジスタ59aおよび駆動トランジスタ59bは、N型およびP型のMOSトランジスタを用いることが望ましい。

【0262】

〔実施の形態3の変形例1〕

図27は、メモリアレイ10およびその周辺回路の実施の形態3の変形例1に従う構成を示す概念図である。

【0263】

図27を参照して、n行×m列に配列されるメモリセルMCを有するメモリア

レイ 1 0 において、各メモリセル行に対応して、リードワード線 R W L、ライトワード線 W W L およびソース線 S L が設けられる。また、各メモリセル列に対応して、ビット線 B L 1 が設けられる。

【 0 2 6 4 】

図 2 7 には、第 1 行と、第 1、2 および m 列とに対応する、ライトワード線 W L 1、リードワード線 R W L 1、ソース線 S L 1 と、ビット線 B L 1、B L 2、B L m と、これらに対応する一部のメモリセルが代表的に示される。

【 0 2 6 5 】

各ソース線 S L は、ワード線ドライバ 3 0 側の一端において、接地電圧 V S S と結合される。また、各ソース線 S L の他端は、同一行に対応するライトワード線 W W L と、メモリアレイ 1 0 を挟んでワード線ドライバ 3 0 と反対側の領域において電氣的に結合される。また、メモリアレイ 1 0 を挟んでワード線ドライバ 3 0 と反対側の領域において、各ライトワード線 W W L を接地電圧 V S S と結合するためのワード線電流制御回路 4 0 の配置は省略される。

【 0 2 6 6 】

データ書込時において、ワード線ドライバ 3 0 は、選択行に対応するライトワード線 W W L を H レベル（電源電圧 V D D）に活性化する。したがって、選択行において、ワード線ドライバ 3 0 ～ライトワード線 W W L ～結合部（ワード線ドライバ 3 0 の反対側）～ソース線 S L ～接地電圧 V S S（ワード線ドライバ 3 0 側）の往復電流パスを形成して、ライトワード線 W W L に一定方向のデータ書込電流 I_p が流される。

【 0 2 6 7 】

このように、データ書込時においては、選択行に対応するライトワード線 W W L およびソース線 S L には互いに逆方向の電流が流されるが、ライトワード線 W W L およびソース線 S L を流れる電流によってそれぞれ生じる磁界は、磁気トンネル接合部 M T J において、同一方向となるように、ライトワード線 W W L およびソース線 S L の配置は考慮される。

【 0 2 6 8 】

図 2 8 は、図 2 7 に示されるライトワード線およびソース線の配置を示す構造

図である。

【0269】

図28を参照して、アクセストランジスタATR、磁気トンネル接合部MTJ、ソース線SL、ビット線BL、ライトワード線WWLおよびリードワード線RWLは、図26と同様に配置される。したがって、ライトワード線WWLおよびソース線SLは、異なる金属配線層を用いて、磁気トンネル接合部MTJを上下方向に挟むように形成される。

【0270】

この結果、データ書込時において、ライトワード線WWLおよびソース線SLをそれぞれ流れる互いに逆方向の電流によって磁気トンネル接合部MTJに生じる磁界は、互いに強め合う方向に作用する。これにより、データ書込時において、ライトワード線WWLを流れるデータ書込電流を低減することができる。これにより、データ書込時における低消費電力化、ライトワード線電流密度の低下による信頼性の向上および隣接セルに対する磁界ノイズの抑制を行なうことができる。

【0271】

再び図27を参照して、メモリアレイ10を挟んで互いに反対側の領域において、リードワード線RWLおよびライトワード線WWLと同一方向に沿って、データバスDBおよび/DBが設けられる。

【0272】

コラム選択ゲートCSGは、データバスDBとビット線BLの各々との間に配置される。ライトコラム選択ゲートWCSGは、データバス/DBとビット線BLの各々との間に配置される。コラム選択ゲートCSGおよびライトコラム選択ゲートWCSGは、対応するコラム選択線CSLおよびライトコラム選択線WCSLの活性化にそれぞれ応答してオンする。

【0273】

データ書込時において、選択列にビット線BLは、データバスDBおよび/DBの間に電氣的に結合される。データ書込回路51wは、データ書込電流を供給するために、データバスDBおよび/DBを、接地電圧VSSおよび電源電圧V

- DDの一方ずつに設定する。この結果、選択列に対応するビット線に対して、書込データレベルに応じた方向のデータ書込電流 I_w を流すことができる。

【0274】

データ読出回路55rは、データバスDBの電圧変化に基づいて読出データDO UTを生成する。

【0275】

図29は、データ読出回路55rの構成を示す回路図である。

図29を参照して、データ読出回路55rは、データ読出時において活性化される制御信号REに応答して動作する。

【0276】

データ読出回路55rは、電源電圧VDDを受けてノードNs1およびNs2に一定電流をそれぞれ供給するための電流源161および162と、ノードNs1とデータバスDBとの間に電氣的に結合されるN型MOSトランジスタ163と、ノードNs2と接地電圧VSSとの間に直列に結合される、N型MOSトランジスタ164および抵抗168と、ノードNs1およびNs2の間の電圧レベル差を増幅して読出データDO UTを出力する増幅器165とを有する。

【0277】

トランジスタ163および164のゲートには、所定電圧Vrが与えられる。電流源161および162の供給電流量および所定電圧Vrは、センス電流Isの設計値に応じて設定される。抵抗166および167は、ノードNs1およびNs2を接地電圧VSSにプルダウンするために設けられる。

【0278】

このような構成とすることにより、データ読出回路55rは、データ読出時において、データバスDBに一定のセンス電流Isを供給する。データ読出時には、各ライトコラム選択ゲートWC SGはオフされるので、データ読出回路55rと接地電圧VSSとの間に形成される、データ読出回路55r～データバスDB～コラム選択ゲートC SG～ビット線BL～選択メモリセル～ソース線SL～接地電圧VSSの電流パスにセンス電流Isが流される。

【0279】

これに応じて、選択メモリセルの記憶データレベルに応じて発生するビット線BLの電圧変化を、ノードNs1に伝達することができる。抵抗168の電気抵抗値Rrefを、図8に示したダミー抵抗MTJdと同様に設計することによって、参照電圧VREFをノードNs2に生成することができる。

【0280】

したがって、データ読出回路55rは、ノードNs1およびNs2の電圧差を増幅することによって、選択メモリセルの記憶データレベルを読出すことができる。

【0281】

〔実施の形態3の変形例2〕

図30は、メモリアレイ10およびその周辺回路の実施の形態3の変形例2に従う構成を示す概念図である。

【0282】

図30を参照して、実施の形態3の変形例2に従う構成においては、ライトワード線WWLによって、データ読出時におけるソース線SLの機能が兼ねられる。ライトワード線WWLの各々は、ワード線電流制御回路40によって、接地電圧VSSと結合される。また、ワード線ドライバ30は、データ読出時において、各ライトワード線WWLの一端側を接地電圧VSSと結合して、それらの非活性状態(Lレベル)を維持する。

【0283】

したがって、ソース線SLの配置を省略しても、選択行に属するメモリセルをビット線BL1~BLmのそれぞれと接地電圧VSSとの間に電氣的に結合して、図27と同様のデータ読出を実行することができる。この結果、配線数の削減によって、デバイスの小型化および製造プロセスの簡易化が図られる。

【0284】

データ書込時においては、ワード線ドライバ30は、図25の場合と同様に、ライトワード線WWLの一端側を電源電圧VDDと結合して活性化する。活性化されたライトワード線WWLには、ワード線ドライバ30からワード線電流制御回路40に向かう方向にデータ書込電流が流される。

【0285】

ビット線BLに対するデータ書込電流の供給は、図27と同様に配置された、データ書込回路51w、コラム選択ゲートCSG、ライトコラム選択ゲートWCSGおよびデータバスDB、/DBによって、実施の形態3の変形例1と同様に実行される。

【0286】

〔実施の形態3の変形例3〕

図31は、メモリアレイ10およびその周辺回路の実施の形態3の変形例3に従う構成を示す概念図である。

【0287】

図31を参照して、実施の形態3の変形例3に従う構成においては、図30に示した構成に加えて、各ライトワード線WWLに対応して、複数の他のライトワード線との間に結合される、ライトワード線結合スイッチが配置される。

【0288】

図31に示す構成においては、一例として、隣接する2本のライトワード線WWLの間ごとにライトワード線結合スイッチが配置される。すなわち、代表的に例示される第j行目のライトワード線WWLjに対しては、隣接するライトワード線WWLj-1およびWWLj+1との間に、ライトワード線結合スイッチ210-jおよび210-(j+1)が配置される。

【0289】

さらに、メモリアレイ10を挟んでワード線ドライバ30と反対側の領域において、各ライトワード線WWLを接地電圧VSSと結合するためのワード線電流制御回路40の配置は省略される。

【0290】

各ライトワード線結合スイッチは、自らが結合される2本のライトワード線のうちのいずれか一方が選択行に相当する場合にオンする。たとえば、ライトワード線結合スイッチ210-jは、論理ゲート212-jの出力がHレベルとなった場合にオンする。論理ゲート212-jは、第(j-1)行および第j行が、データ書込時に選択された場合にそれぞれ活性化(Hレベル)されるライトロウ

・デコード信号 WRD_{j-1} および WRD_j の間の OR 論理演算結果を出力する。

【0291】

この結果、ライトワード線結合スイッチ $210-j$ は、データ書込時に第 $(j-1)$ 行もしくは第 j 行が選択されたときに、ライトワード線 WWL_j と WWL_{j+1} とを電氣的に結合する。互いに隣接する 2 本ずつのライトワード線 WWL の間に、同様のライトワード線結合スイッチが配置される。

【0292】

したがって、たとえば第 j 行がデータ書込時に選択された場合には、ライトワード線 WWL は、ライトワード線 WWL_{j-1} および WWL_{j+1} と電氣的に結合される。選択行に対応するライトワード線 WWL_j は、ワード線ドライバ 30 によって活性化されて、その一端側が電源電圧 VDD と結合される。一方、ライトワード線 WWL_j および WWL_{j+1} は、非選択行に対応しているので、それぞれの一端側は、ワード線ドライバ 30 によって接地電圧 VSS と結合される。

【0293】

したがって、選択行のライトワード線 WWL_j を流れるデータ書込電流 I_p のリターンパスを、非選択行のライトワード線 WWL_{j-1} および WWL_{j+1} を用いて形成することができる。すなわち、非選択行のライトワード線 WWL_{j-1} および WWL_{j+1} の各々には、 $-I_p/2$ ずつのリターン電流が流される。

【0294】

このように、選択行に対応するライトワード線と、非選択行に対応する複数本のワード線とを、メモリアレイ 10 を挟んでワード線ドライバ 30 と反対側の領域で電氣的に結合することによって、データ書込電流 I_p のリターンパスを形成する。このとき、非選択行のライトワード線によって、選択メモリセルに印加される磁界は、図 27 においてソース線 SL によって生じる磁界と同様に、選択行のライトワード線によって選択メモリセルに印加される磁界と強め合う。反対に、非選択行のメモリセルにおいては、選択行および非選択行にそれぞれ対応するライトワード線によって印加される磁界同士は、互いに打ち消し合う。

【0295】

この結果、データ書込時において、ライトワード線 WWL を流れるデータ書込

電流を低減することができる。これにより、データ書込時における低消費電力化、ライトワード線電流密度の低下による信頼性の向上および隣接セルに対する磁界ノイズの抑制を行なうことができる。

【0296】

また、非選択のライトワード線WWLを複数本用いて、データ書込電流 I_p のリターンパスを形成することによって、非選択行のライトワード線WWLの各々に流れるリターン電流を、対応する非選択行のメモリセルに対して誤ったデータ書込を行なうことがないレベルに抑制することができる。

【0297】

なお、図31においては、各ライトワード線WWLに対して、隣接する2本のライトワード線のそれぞれとの間にライトワード線結合スイッチを結合する構成を例示したが、ライトワード線結合スイッチは、他の任意のライトワード線WWLとの間に配置することができる。

【0298】

〔実施の形態3の変形例4〕

図32は、メモリアレイ10およびその周辺回路の実施の形態3の変形例4に従う構成を示す概念図である。

【0299】

図32を参照して、実施の形態3の変形例4に従う構成においては、ライトワード線WWLおよびソース線SLが独立に配置される構成が示される。ソース線SLは、メモリセル行にそれぞれ対応して配置され、ワード線ドライバ30側の一端が接地電圧 V_{SS} と結合される。

【0300】

さらに、ライトワード線結合スイッチは、各ライトワード線WWLに対応して、他の行に属する少なくとも1本のソース線SLとの間に配置される。ライトワード線結合スイッチは、メモリアレイ10を挟んでワード線ドライバ30と反対側の領域に配置される。

【0301】

図32においては、一例として、各ライトワード線WWLに対応して、隣接す

る2つの行にそれぞれ対応する2本のソース線SLとの間にライトワード線結合スイッチが配置される。すなわち、代表的に例示される第j行目のライトワード線WWLjに対しては、隣接するメモリセル行のソース線SLj-1およびSLj+1との間に、それぞれ電氣的に結合されるライトワード線結合スイッチ220-jおよび221-jが配置される。

【0302】

さらに、メモリアレイ10を挟んでワード線ドライバ30と反対側の領域において、各ライトワード線WWLを接地電圧VSSと結合するためのワード線電流制御回路40の配置は省略される。

【0303】

各ライトワード線結合スイッチは、対応するライトワード線WWLが選択される場合にオンする。たとえば、ライトワード線結合スイッチ220-jおよび221-jは、ライトロウデコード信号WRDjの活性化に応答してオンする。他のライトワード線WWLの各々に対しても、同様のライトワード線結合スイッチが配置される。

【0304】

したがって、たとえば第j行がデータ書込時に選択された場合には、ライトワード線WWLは、ソース線SLj-1およびSLj+1と電氣的に結合される。選択行に対応するライトワード線WWLjは、ワード線ドライバ30によって活性化されて、その一端側が電源電圧VDDと結合される。一方、ソース線SLj-1およびSLj+1は、ワード線ドライバ30側の一端が接地電圧VSSと結合されている。

【0305】

したがって、選択行のライトワード線WWLjを流れるデータ書込電流Ipのリターンパスを、他のメモリセル行に対応するソース線SLj-1およびSLj+1を用いて形成することができる。すなわち、ソース線SLj-1およびSLj+1の各々には、 $-I_p/2$ ずつのリターン電流が流される。

【0306】

このように、選択行に対応するライトワード線と、非選択行に対応する複数本

のワード線とを、メモリアレイ10を挟んでワード線ドライバ30と反対側の領域で電氣的に結合することによって、データ書込電流 I_p のリターンパスを形成する。このとき、非選択行に対応するソース線によって選択メモリセルに印加される磁界は、選択行のライトワード線によって選択メモリセルに印加される磁界と強め合う。反対に、非選択行のメモリセルにおいては、選択行のライトワード線および当該非選択行のソース線によってそれぞれ印加される磁界同士は、互いに打ち消し合う。

【0307】

この結果、実施の形態3の変形例3と同様に、データ書込時における低消費電力化、ライトワード線電流密度の低下による信頼性の向上および隣接セルに対する磁界ノイズの抑制を図ることができる。

【0308】

また、他のメモリセル行に対応するソース線SLを複数本用いて、データ書込電流 I_p のリターンパスを形成することにより、ソース線SLの各々を流れるリターン電流を、対応する非選択行のメモリセルに対して誤ったデータ書込を行なうことがないレベルに抑制することができる。

【0309】

なお、図32においては、各ライトワード線WWLに対して、隣接行のソース線のそれぞれとの間にライトワード線結合スイッチを結合する構成を例示したが、ライトワード線結合スイッチは、他の任意のソース線SLとの間に配置することができる。

【0310】

【実施の形態4】

実施の形態4においては、ダミーメモリセルを用いたデータ読出において消費電力を低減する構成について説明する。

【0311】

図33は、メモリアレイ10およびその周辺回路の実施の形態4に従う構成を示す概念図である。図33においては、データ読出に関連する構成が主に示される。

【0312】

図33を参照して、メモリアレイ10においては、各メモリセル行に対応してリードワード線RWLおよびライトワード線WWLが配置され、各メモリセル列に対応して、ビット線BLおよび／BLが配置される。各メモリセルMCは、対応するリードワード線RWLが活性化された場合に、アクセストランジスタATRのオンにตอบสนองして、対応するビット線BLと接地電圧VSSとの間に電氣的に結合される。

【0313】

図33には、第1行および第2行と、第1、2およびm列とに対応する、ライトワード線WWL1、WWL2、リードワード線RWL1、RWL2およびビット線BL1、BL2、BLmおよびこれらに対応するメモリセルの一部が代表的に示される。

【0314】

メモリアレイ10と隣接する領域に、リードワード線RWLおよびライトワード線WWLと同一方向に沿って、データバス対を構成するデータバスDBおよび／DBが配置される。

【0315】

メモリセル列にそれぞれ対応して、コラム選択ゲートCSG1～CSGmがそれぞれ配置される。各コラム選択ゲートCSGは、対応するコラム選択線CSLの活性化にตอบสนองしてオンして、対応するビット線BLおよび／BLとデータバスDBおよび／DBとをそれぞれ電氣的に結合する。この結果、データ読出時において、選択メモリセルは、データバスDBと接地電圧VSSとの間に電氣的に結合される。

【0316】

さらに、メモリセル列にそれぞれ対応するm個のダミーメモリセルDMCが配置される。各ダミーメモリセルDMCの構成は、図8と同様であるので詳細な説明は繰り返さない。対応するコラム選択線CSLの活性化にตอบสนองして、ダミーアクセストランジスタATRdはオンする。ダミーアクセストランジスタATRdがオンしたダミーメモリセルは活性化されて、データバス／DBと接地電圧VSS

・ Sとの間に電氣的に結合される。

【0317】

したがって、データ読出時において、選択列に対応するダミーメモリセルDMCのみが活性化される。この結果、非選択列に対応するビット線／BLには充放電電流が生じないので、データ読出動作の低消費電力化を図ることができる。

【0318】

データ読出回路56rは、選択メモリセルと電氣的に結合されたデータバスDBおよびダミーメモリセルDMCと電氣的に結合されたデータバス／DBの電圧差を検知して、読出データDOUTを生成する。

【0319】

図34は、データ読出回路56rの構成を示す回路図である。

図34を参照して、データ読出回路56rは、図9に示したデータ読出回路53rの構成に加えて、駆動トランジスタDTaおよびDTbをさらに含む。その他の部分の構成は、データ読出回路56rと同様であるので、詳細な説明は繰り返さない。

【0320】

駆動トランジスタDTaおよびDTbは、電源電圧VDDとデータバスDBおよび／DBとの間に、それぞれ電氣的に結合される。駆動トランジスタDTaおよびDTbは、データ読出時にLレベルに活性化される制御信号／REに応答してオン・オフする。したがって、データ読出時において、データバスDBおよび／DBの各々は、電源電圧VDDによって駆動される。

【0321】

図35は、実施の形態4に従うデータ読出動作を説明するタイミングチャートである。

【0322】

図35を参照して、データ読出前において、ビット線BL、／BLおよびデータバスDB、／DBは、接地電圧VSSにプリチャージされる。なお、各メモリセルにおいて、アクセストランジスタATRのソース側電圧は、接地電圧VSSに固定されている。

【0323】

時刻 t_0 においてデータ読出動作が開始されて、選択メモリセルに対応するリードワード線 RWL_i およびコラム選択線 CSL_j が活性化される。これにตอบสนองして、選択メモリセルおよび選択列に対応するダミーメモリセルは、データバス DB および \overline{DB} と接地電圧 VSS との間に、それぞれ電氣的に結合される。

【0324】

したがって、データ読出回路 $56r$ によって電源電圧 VDD に駆動されるデータバス DB および \overline{DB} と、選択メモリセルおよびダミーメモリセル DMC をそれぞれ介して電氣的に結合される接地電圧 VSS との間に、センス電流(データ読出電流)が流される。

【0325】

この結果、電氣的に結合されたメモリセルもしくはダミーメモリセルの電気抵抗値に応じた電圧変化がビット線 BL 、 \overline{BL} およびデータバス DB 、 \overline{DB} に生じる。したがって、実施の形態1の変形例2の場合と同様に、所定の時刻 t_1 において、トリガパルス ϕ_r にตอบสนองして、データバス DB および \overline{DB} の電圧差を検知増幅することによって、選択メモリセルの記憶データを読出すことができる。

【0326】

したがって、ダミーメモリセルにおける消費電力を抑制した上で、信号マージンの大きいデータ読出を実行できる。なお、ビット線 BL 、 \overline{BL} およびデータバス DB 、 \overline{DB} を電源電圧で駆動するので、データバス DB および \overline{DB} が収束する電圧は互いに異なる。したがって、これらの収束した電圧同士を比較して、すなわちトリガパルス ϕ_r の活性化タイミングを、データバス DB および \overline{DB} の電圧の収束後に設定すれば、さらにデータ読出を安定化できる。

【0327】

また、ダミーメモリセル DMC を用いてデータ読出を正確に実行するためには、データ読出回路 $56r$ と接地電圧 VSS との間に形成される、選択メモリセルを含む第1の電流パスと、ダミーメモリセル DMC を含む第2の電流パスとの電気抵抗値が同様の値となるように、データバス DB 、 \overline{DB} 、ビット線 BL 、 \overline{BL}

・ BLを設計する必要がある。

【0328】

〔実施の形態4の変形例1〕

実施の形態4の変形例1においては、折返し型ビット線構成におけるダミーメモリセルの配置が示される。

【0329】

図36は、メモリアレイ10およびその周辺回路の実施の形態4の変形例1に従う構成を示す概念図である。

【0330】

図36を参照して、実施の形態4の変形例1に従う構成においては、ビット線BLおよび／BLの各々は、折返し型ビット線構成に基いて配置される。各メモリセル列において、メモリセルMCは、1行おきにビット線BLおよび／BLの一方と接地電圧VSSとの間に設けられる。具体的には、各メモリセルは、奇数行ではビット線BLと接地電圧VSSとの間に設けられ、偶数行ではビット線／BLと接地電圧VSSとの間に設けられる。

【0331】

ダミーメモリセルDMCは、各メモリセル列ごとに2個ずつ配置される。各メモリセル列において、2個のダミーメモリセルは、ビット線BLおよび／BLと接地電圧VSSとの間に、それぞれ電氣的に結合される。

【0332】

各メモリセル列に対応して、コラム選択線CSLに応答してオン・オフするコラム選択ゲートCSGが配置され、選択列対応するビット線BLおよび／BLは、データバスDBおよび／DBと電氣的に結合される。

【0333】

さらに、メモリセル列にそれぞれ対応して、ダミーコラム選択ゲートCSGd1～CSGdmが配置される。ダミーコラム選択ゲートCSGd1は、制御信号RA0とコラム選択線CSL1の電圧レベルのAND論理演算結果を出力する論理ゲートLG1と、制御信号／RA0とコラム選択線CSL1の電圧レベルのAND論理演算結果を出力する論理ゲートLG2とを有する。

【 0 3 3 4 】

制御信号 R A 0 は、奇数行が選択された場合に H レベルに設定され、偶数行が選択された場合に L レベルに設定される。制御信号 $\overline{R A 0}$ は、制御信号 R A 0 と反対の信号レベルを有し、偶数行が選択された場合に H レベルに設定される。

【 0 3 3 5 】

ビット線 $\overline{B L 1}$ に対応するメモリセル中のダミーアクセストランジスタ A T R d は、論理ゲート L G 1 の出力が H レベルに設定されたときにオンする。一方、ビット線 B L 1 に対応するメモリセル中のダミーアクセストランジスタ A T R d は、論理ゲート L G 2 の出力が H レベルに設定されたときにオンする。

【 0 3 3 6 】

その他のダミーコラム選択ゲート C S G d 2 ~ C S G d m も同様の構成を有する。

【 0 3 3 7 】

ダミーコラム選択ゲート C S G d 1 ~ C S G d m の各々は、対応するメモリセル列が選択された場合において、奇数列が選択されているときには、対応するビット線 $\overline{B L}$ と接地電圧 V S S との間に設けられたダミーメモリセルを活性化し、偶数列が選択されているときには、対応するビット線 B L と接地電圧 V S S との間に設けられたダミーメモリセルを活性化する。したがって、選択メモリセル列のみにて、ダミーメモリセルが活性化される。

【 0 3 3 8 】

この結果、奇数行が選択されたときには、データバス D B と接地電圧 V S S との間に選択メモリセルが電氣的に結合される一方で、データバス $\overline{D B}$ と接地電圧 V S S との間に選択されたダミーメモリセル D M C が電氣的に結合される。

【 0 3 3 9 】

また、偶数行が選択されたときには、データバス $\overline{D B}$ と接地電圧 V S S との間に選択メモリセルが電氣的に結合される一方で、データバス D B と接地電圧 V S S との間に選択されたダミーメモリセル D M C が電氣的に結合される。データ読出回路 5 6 r は、データバス D B および $\overline{D B}$ の電圧に基いて、実施の形態 4 と同様に読出データ D O U T を生成する。

【0340】

このような構成とすることにより、電氣的なノイズ耐性が高い折返し型ビット線構成に基くデータ読出を、ダミーメモリセルによる消費電力を抑制した上で実行することができる。

【0341】

なお、実施の形態4およびその変形例1においても、実施の形態1と同様に、データバスDBおよび/DBを電源電圧VDDでプリチャージした後に、データ読出時において、データバスDBおよび/DBを電源電圧VDDと切離して、データ読出を実行することも可能である。この場合には、図3に示されるデータ読出回路51rにおいて、データバス/DBに対しても、データバスDBに対応するプリチャージトランジスタPTaおよびトランスファークゲートTGaが同様に配置された構成のデータ読出回路を、図33および図36中のデータ読出回路56rに代えて適用すればよい。このような構成とした場合には、データ読出時において、図4に示される、記憶データレベルがHレベルの場合におけるデータバスDBの電圧変化速度と、記憶データレベルがLレベルの場合におけるデータバスDBの電圧変化速度との中間的な速度で、ダミーメモリセルDMCと電氣的に結合されたデータバス/DBの電圧は変化する。したがって、所定のタイミングにおいて、データバスDBおよび/DBの電圧を比較することによって、実施の形態1と同様のデータ読出が実行できる。

【0342】

〔実施の形態4の変形例2〕

実施の形態4の変形例2においては、開放型ビット線構成におけるダミーメモリセルの配置が示される。

【0343】

図37は、メモリアレイ10およびその周辺回路の実施の形態4の変形例1に従う構成を示す概念図である。

【0344】

図37を参照して、メモリアレイ10は、図11の構成と同様に、2つのメモリマットMTaおよびMTbに分割される。メモリマットMTaにおいては、メ

メモリセル行にそれぞれ対応してリードワード線RWL 1 a, RWL 2 a, …およびライトワード線WWL 1 a, WWL 2 a, …が配置される。同様に、メモリマツトMT bにおいては、メモリセル行にそれぞれ対応してリードワード線RWL 1 b, RWL 2 b, …およびライトワード線WWL 1 b, WWL 2 b, …が配置される。各メモリセルMCは、対応するリードワード線RWLが活性化された場合に、アクセストランジスタATRのオンにตอบสนองして、対応するビット線BLと接地電圧VSSとの間に電氣的に結合される。

【0345】

メモリマツトMT aおよびMT bのいずれか一方において、選択メモリセルが属する1つの選択行が指定され、データ読出時において選択行に対応するリードワード線RWLが活性化される。一方、コラム選択線CSLは、メモリマツトMT aおよびMT bによって共有され、選択行に対応する1本のコラム選択線CSLが選択的にHレベルに活性化される。

【0346】

選択メモリセルがメモリマツトMT aに属する場合には、制御信号RAxがHレベルに設定され、制御信号/RAxがLレベルに設定される。反対に、選択メモリセルがメモリマツトMT bに属する場合には、制御信号/RAxはHレベルに設定される。

【0347】

メモリマツトMT aおよびMT bの各々には、メモリセル列のそれぞれに対応して同数ずつのビット線がいわゆる開放型ビット線構成に基づいて配置される。図37においても、メモリマツトMT aに配置されるビット線をBL 1, BL 2, …と表記し、メモリマツトMT bに配置されるビット線を/BL 1, /BL 2, …と表記する。

【0348】

メモリマツトMT aおよびMT bの各々において、1つのダミー行を形成するように複数のダミーメモリセルDMCが配置される。メモリマツトMT aに配置される複数のダミーメモリセルは、ビット線BL 1～BL mと接地電圧VSSとの間にそれぞれ設けられる。同様に、メモリマツトMT bに配置される複数のダ

・ ミーメモリセルは、ビット線／BL1～／BLmと接地電圧VSSとの間にそれぞれ設けられる。

【0349】

メモリマットMTaにおいては、データバスDBとビット線BL1, BL2, …と間に、対応するコラム選択線CSLに応答してオン・オフするコラム選択ゲートCSG1a, CSG2a, …がそれぞれ配置される。同様に、メモリマットMTbにおいては、データバス／DBとビット線／BL1, /BL2, …と間に、対応するコラム選択線CSLに応答してオン・オフするコラム選択ゲートCSG1b, CSG2b, …がそれぞれ配置される。

【0350】

したがって、選択列に対応するビット線BL（メモリマットMTa）および／BL（メモリマットMTb）は、データバスDBおよび／DBとそれぞれ電氣的に結合される。

【0351】

さらに、メモリマットMTaにおいて、メモリセル列にそれぞれ対応してダミーコラム選択ゲートCSGd1a, CSGd2a, …が配置され、メモリマットMTbにおいて、メモリセル列にそれぞれ対応してダミーコラム選択ゲートCSGd1b, CSGd2b, …が配置される。

【0352】

ダミーコラム選択ゲートCSGd1aは、対応するコラム選択線CSL1および制御信号RAxの電圧レベルのAND論理演算結果を出力する論理ゲートによって構成される。その他のメモリセル列に対応して配置される、ダミーコラム選択ゲートCSGd2a, …も同様に構成される。

【0353】

一方、ダミーコラム選択ゲートCSGd1bは、対応するコラム選択線CSL1および制御信号／RAxの電圧レベルのAND論理演算結果を出力する論理ゲートによって構成される。その他のメモリセル列に対応して配置される、ダミーコラム選択ゲートCSGd2b, …も同様に構成される。

【0354】

メモリマツトMT aに対応するダミーコラム選択ゲートの各々は、対応するメモリセル列が選択された場合において、メモリマツトMT aが選択されているときに、対応するビット線BLと接地電圧VSSとの間に設けられたダミーメモリセルを活性化する。

【0355】

同様に、メモリマツトMT bに対応するダミーコラム選択ゲートの各々は、対応するメモリセル列が選択された場合において、メモリマツトMT bが選択されているときに、対応するビット線／BLと接地電圧VSSとの間に設けられたダミーメモリセルを活性化する。したがって、選択されたメモリマツトの選択メモリセル列に対応するダミーメモリセルのみが活性化される。

【0356】

この結果、メモリマツトMT aが選択されたときには、データバスDBと接地電圧VSSとの間に選択メモリセルが電氣的に結合される一方で、データバス／DBと接地電圧VSSとの間に選択されたダミーメモリセルDMCが電氣的に結合される。

【0357】

また、メモリマツトMT bが選択されたときには、データバス／DBと接地電圧VSSとの間に選択メモリセルが電氣的に結合される一方で、データバスDBと接地電圧VSSとの間に選択されたダミーメモリセルDMCが電氣的に結合される。データ読出回路56rは、データバスDBおよび／DBの電圧に基いて、実施の形態4と同様に読出データDOU Tを生成する。

【0358】

このような構成とすることにより、開放型ビット線構成に基いたデータ読出を、ダミーメモリセルにおける消費電力を抑制した上で実行することができる。

【0359】

〔実施の形態4の変形例3〕

実施の形態4の変形例3においては、実施の形態4の変形例2と、実施の形態1とを組み合わせた構成が示される。

【0360】

図38は、メモリアレイ10およびその周辺回路の実施の形態4の変形例3に従う構成を示す概念図である。

【0361】

図38を参照して、実施の形態4の変形例3に従う構成においては、図37に示される構成と比較して、メモリマットMTaおよびMTbの各々において、各メモリセル列に対応してソース線SLが配置される点異なる。各メモリセルMCおよびダミーメモリセルDMCは、対応するビット線BLおよびソース線SLの間に設けられる。

【0362】

さらに、各ビット線BLおよび各ソース線SLに対応して、実施の形態1の変形例1と同様のビット線駆動ゲートBCSGbおよびソース線駆動ゲートSCSGbがそれぞれ配置される。これに対応して、データ読出回路56rに代えて、図9に示したデータ読出回路53rが設けられる。

【0363】

このような構成とすることにより、実施の形態4の変形例2に従う構成によって享受される効果に加えて、実施の形態1で説明した低消費電力化およびデータ読出マージンの向上を図ることができる。

【0364】

なお、ビット線駆動ゲートBCSGbおよびソース線駆動ゲートSCSGbに代えて、図2に示したビット線駆動ゲートBCSGaおよびソース線駆動ゲートSCSGaを配置することも可能である。

【0365】

また、実施の形態4およびその変形例1の構成に対しても、ソース線SL、ビット線選択ゲートBCSGaもしくはBCSGb、およびソース線選択ゲートSCSGaもしくはSCSGbをさらに配置して、実施の形態1と同様の効果をさらに享受することも可能である。

【0366】

また、実施の形態1に示されるような、ソース線SLをデータ読出時に接地電圧VSSに駆動する構成では、データバスDBを電源電圧VDDに駆動して、セ

・センス電流（データ読出電流）を積極的に流すようなデータ読出を行なうこともできる。

【0367】

同様に、実施の形態1の変形例、ならびに実施の形態2、3、4およびこれらの変形例に示されるような、データ読出時にソース線SLが電源電圧VDDに駆動される構成では、データバスDBを接地電圧VSSに駆動して、センス電流（データ読出電流）を積極的に流すようなデータ読出を行なうことも可能である。

【0368】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0369】

【発明の効果】

請求項1および2に記載の薄膜磁性体記憶装置は、プリチャージ時とデータ読出時との間で、各ソース線の電圧を変化させることができる。したがって、データ読出に直接関連しない第1のデータ線に不要な充放電電流が流れることを回避して、データ読出動作を低消費電力化することができる。

【0370】

請求項3に記載の薄膜磁性体記憶装置は、ビット線およびソース線をプリチャージする際に充電電流が不要であるので、請求項2に記載の薄膜磁性体記憶装置が奏する効果に加えて、消費電力をさらに低減することができる。

【0371】

請求項4および5に記載の薄膜磁性体記憶装置は、データ読出時において、データ読出対象のメモリセルの両端に印加される電圧を抑制できるので、第1のデータ線における記憶データレベルの違いに応じた電圧変化の差を顕著に生じさせることができる。この結果、請求項1に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出マージンをさらに確保できる。

【0372】

請求項 6 から 9 に記載の薄膜磁性体記憶装置は、列選択結果に応じて、ビット線もしくはソース線の電圧を、プリチャージ時とデータ読出時との間で変化させることができる。したがって、非選択列に対応したビット線に不要な充放電電流が流れることを回避して、データ読出動作を低消費電力化することができる。

【 0 3 7 3 】

請求項 1 0 および 1 1 記載の薄膜磁性体記憶装置は、選択メモリセルが結合された第 1 のデータ線と、ダミーメモリセルと結合された第 2 のデータ線との電圧差に基いてデータ読出を実行するので、請求項 1 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出マージンをさらに確保できる。

【 0 3 7 4 】

請求項 1 2 記載の薄膜磁性体記憶装置は、請求項 1 0 記載の薄膜磁性体記憶装置が奏する効果に加えて、ダミーメモリセルおよびその関連回路を効率的に配置できる。

【 0 3 7 5 】

請求項 1 3 記載の薄膜磁性体記憶装置は、磁気記憶部に対するデータ書込動作において、磁化困難軸方向に沿った磁界を発生させた後に、磁化容易軸方向に沿った磁界を発生させるので、メモリセルの磁気特性を考慮してデータ書込を安定的に実行できる。

【 0 3 7 6 】

請求項 1 4 記載の薄膜磁性体記憶装置は、請求項 1 3 記載が奏する効果に加えて、高速なデータ読出を実行することができる。

【 0 3 7 7 】

請求項 1 5 記載の薄膜磁性体記憶装置は、プリチャージ時とデータ読出時との間で、第 3 の信号線の電圧を変化させることができるので、データ読出に直接関連しない、非選択のメモリセルに対応する第 2 のデータ線に不要な充放電電流が流れることを回避できる。したがって、請求項 1 3 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出動作を低消費電力化することができる。

【 0 3 7 8 】

請求項 1 6 記載の薄膜磁性体記憶装置は、列選択結果に対応するビット線およ

びソース線をそれぞれ流れる電流によって生じる、選択メモリセルにおいて強め合う磁界を第2のデータ書込磁界として用いてデータ書込を実行する。したがって、第2のデータ書込電流を低減することができるので、データ書込時における低消費電力化、ビット線電流密度の低下による信頼性の向上および隣接セルに対する磁界ノイズの抑制を図ることができる。

【0379】

請求項17記載の薄膜磁性体記憶装置は、請求項16記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出を実行することができる。

【0380】

請求項18から21に記載の薄膜磁性体記憶装置は、行選択結果に対応するライトワード線を流れる第1のデータ書込電流のリターンパスを1本のソース線を用いて形成することができるので、ライトワード線およびソース線をそれぞれ流れる電流によって生じる、選択メモリセルにおいて強め合う磁界を第1のデータ書込磁界として用いてデータ書込を実行する。したがって、第1のデータ書込電流を低減することができるので、データ書込時における低消費電力化、ビット線電流密度の低下による信頼性の向上および隣接セルに対する磁界ノイズの抑制を図ることができる。

【0381】

請求項22記載の薄膜磁性体記憶装置は、ソース線の配置を省略したアレイ構成において、行選択結果に対応するライトワード線を流れる第1のデータ書込電流のリターンパスを、他の行に属する複数のソース線を用いて形成することができる。したがって、選択行に対応するライトワード線および非選択行に対応する複数のライトワード線をそれぞれ流れる電流によって生じる、選択メモリセルにおいて強め合う磁界を第1のデータ書込磁界として用いてデータ書込を実行することができる。この結果、第1のデータ書込電流を低減することができるので、データ書込時における低消費電力化、ビット線電流密度の低下による信頼性の向上および隣接セルに対する磁界ノイズの抑制を図ることができる。

【0382】

請求項23および24記載の薄膜磁性体記憶装置は、非選択列に対応する参照

電圧発生部を非活性化したままでデータ読出を実行できる。この結果、参照電圧発生部における消費電力を抑制した上で、信号マージンの大きいデータ読出を実行できる。

【 0 3 8 3 】

請求項 2 5 記載の薄膜磁性体記憶装置は、各メモリセル列ごとに、折返し型構成で配置される 2 本ずつの信号線を用いてデータ読出を実行することができるので、請求項 2 4 記載の薄膜磁性体記憶装置が奏する効果に加えて、電氣的なノイズ耐性が高い安定的なデータ読出を実行することができる。

【 0 3 8 4 】

請求項 2 6 記載の薄膜磁性体記憶装置は、プリチャージ時とデータ読出時との間で、ソース線の電圧を変化させることができるので、データ読出に直接関連しない、非選択のメモリセルに対応するビット線に不要な充放電電流が流れることを回避できる。したがって、請求項 2 3 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出動作を低消費電力化することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に従う MRAM デバイス 1 の全体構成を示す概略ブロック図である。

【図 2】 メモリアレイ 1 0 およびその周辺回路の実施の形態 1 に従う構成を示す概念図である。

【図 3】 図 2 に示されるデータ読出回路の構成を示す回路図である。

【図 4】 実施の形態 1 に従うデータ読出動作を説明するタイミングチャートである。

【図 5】 メモリアレイ 1 0 およびその周辺回路の実施の形態 1 の変形例 1 に従う構成を示す概念図である。

【図 6】 図 5 に示されるデータ読出回路の構成を示す回路図である。

【図 7】 実施の形態 1 の変形例 1 に従うデータ読出動作を説明するタイミングチャートである。

【図 8】 メモリアレイ 1 0 およびその周辺回路の実施の形態 1 の変形例 2 に従う構成を示す概念図である。

【図 9】 図 8 に示されるデータ読出回路の構成を示す回路図である。

【図 10】 実施の形態 1 の変形例 2 に従うデータ読出動作を説明するタイミングチャートである。

【図 11】 メモリアレイ 10 およびその周辺回路の実施の形態 1 の変形例 3 に従う構成を示す概念図である。

【図 12】 実施の形態 1 の変形例 3 に従うデータ読出動作を説明するタイミングチャートである。

【図 13】 メモリアレイ 10 およびその周辺回路の実施の形態 1 の変形例 4 に従う構成を示す概念図である。

【図 14】 実施の形態 1 の変形例 4 に従うデータ読出動作を説明するタイミングチャートである。

【図 15】 メモリアレイ 10 およびその周辺回路の実施の形態 2 に従う構成を示す概念図である。

【図 16】 図 15 に示されるデータ書込回路の構成を示す回路図である。

【図 17】 コラム選択クロック生成回路の構成を示す回路図である。

【図 18】 コラム選択クロックの位相変化を説明するタイミングチャートである。

【図 19】 実施の形態 2 に従うデータ読出およびデータ書込動作を説明するタイミングチャートである。

【図 20】 メモリセル中のトンネル磁気抵抗素子の構成を示す断面図である。

【図 21】 トンネル磁気抵抗素子中の自由磁気層における磁化方向を示す概念図である。

【図 22】 磁化容易軸領域における磁化特性を説明するためのヒステリシス曲線である。

【図 23】 磁化困難軸領域における磁化特性を説明するためのヒステリシス曲線である。

【図 24】 データ書込時における自由磁気層の磁化を説明する概念図である。

【図25】 メモリアレイ10およびその周辺回路の実施の形態3に従う構成を示す概念図である。

【図26】 図25に示されるビット線およびソース線の配置を示す構造図である。

【図27】 メモリアレイ10およびその周辺回路の実施の形態3の変形例1に従う構成を示す概念図である。

【図28】 図27に示されるライトワード線およびソース線の配置を示す構造図である。

【図29】 図27に示されるデータ読出回路の構成を示す回路図である。

【図30】 メモリアレイ10およびその周辺回路の実施の形態3の変形例2に従う構成を示す概念図である。

【図31】 メモリアレイ10およびその周辺回路の実施の形態3の変形例3に従う構成を示す概念図である。

【図32】 メモリアレイ10およびその周辺回路の実施の形態3の変形例4に従う構成を示す概念図である。

【図33】 メモリアレイ10およびその周辺回路の実施の形態4に従う構成を示す概念図である。

【図34】 図33に示されるデータ読出回路の構成を示す回路図である。

【図35】 実施の形態4に従うデータ読出動作を説明するタイミングチャートである。

【図36】 メモリアレイ10およびその周辺回路の実施の形態4の変形例1に従う構成を示す概念図である。

【図37】 メモリアレイ10およびその周辺回路の実施の形態4の変形例2に従う構成を示す概念図である。

【図38】 メモリアレイ10およびその周辺回路の実施の形態4の変形例3に従う構成を示す概念図である。

【図39】 MTJメモリセルの構成を示す概略図である。

【図40】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図41】 MTJメモリセルに対するデータ書込動作を説明する概念図である。

【図42】 データ書込時におけるデータ書込電流の方向とデータ書込磁界の方向との関係を説明する概念図である。

【図43】 行列状に集積配置されたMTJメモリセルを示す概念図である。

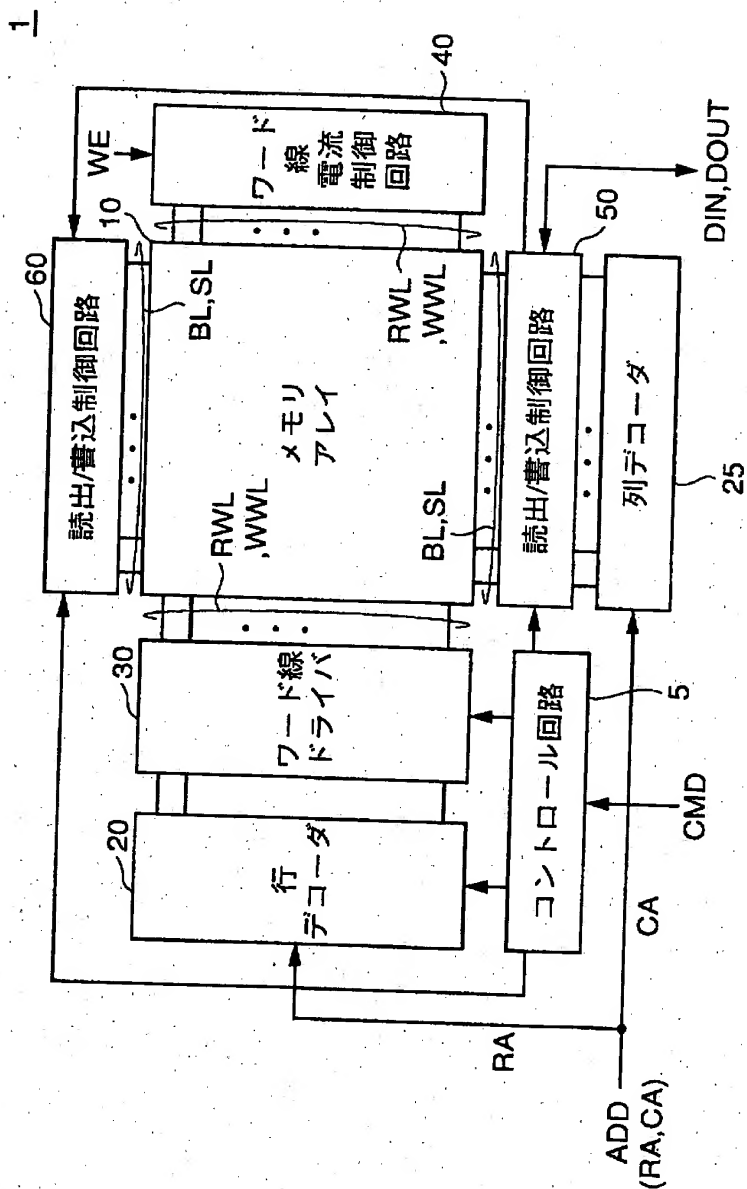
【符号の説明】

10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、40 ワード線電流制御回路、51w データ書込回路、51r, 52r, 53r, 54r, 55r, 56r データ読出回路、62 ビット線結合トランジスタ、101 反強磁性体層、102 固定磁気層、103 自由磁気層、104 トンネルバリア、105 コンタクト電極、107 磁化容易軸領域、108, 109 磁化困難軸領域、200 コラム選択クロック生成回路、210, 220, 221 ライトワード線結合スイッチ、ATR アクセストランジスタ、ATRd ダミーアクセストランジスタ、BCSGa, BCSGb, /BCSGb ビット線選択ゲート、BCSGd ダミービット線選択ゲート、BL, /BL ビット線、BLP ビット線対、DB, /DB データバス、DMC ダミーメモリセル、DRWL ダミーリードワード線、DSL ダミーソース線、Ip, ±Iw データ書込電流、Is センス電流、MC メモリセル、MTJ 磁気トンネル接合部、MTJd ダミー抵抗、RWL リードワード線、SCSGa, SCSGb ソース線駆動ゲート、SCSGbd ダミーソース線選択ゲート、SL, /SL ソース線、WWL ライトワード線。

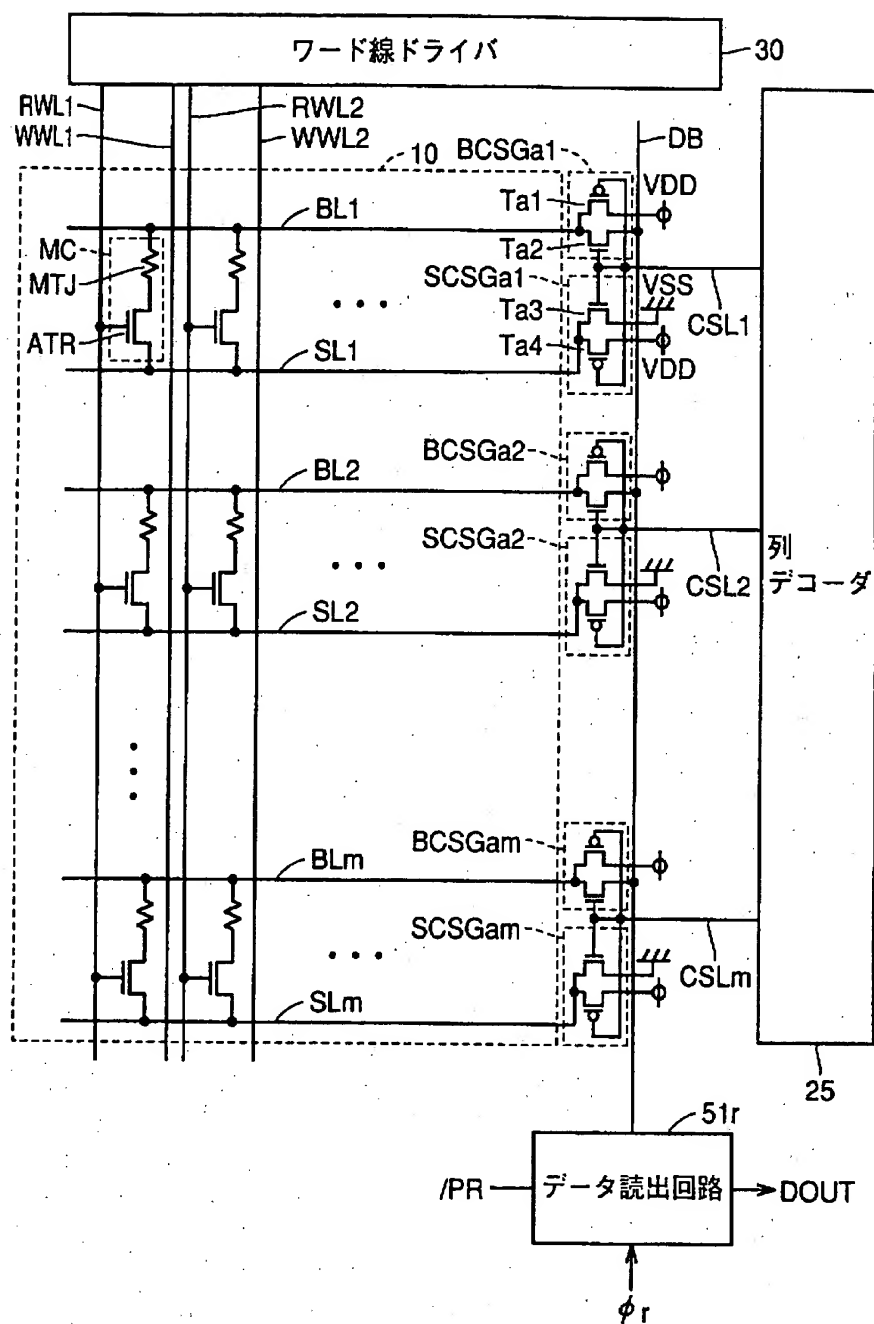
② 【書類名】

図面

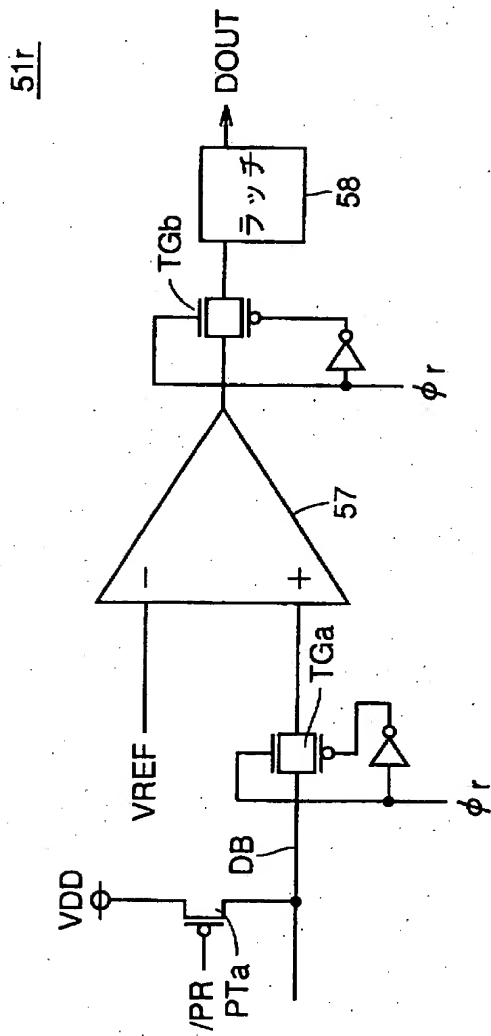
【図1】



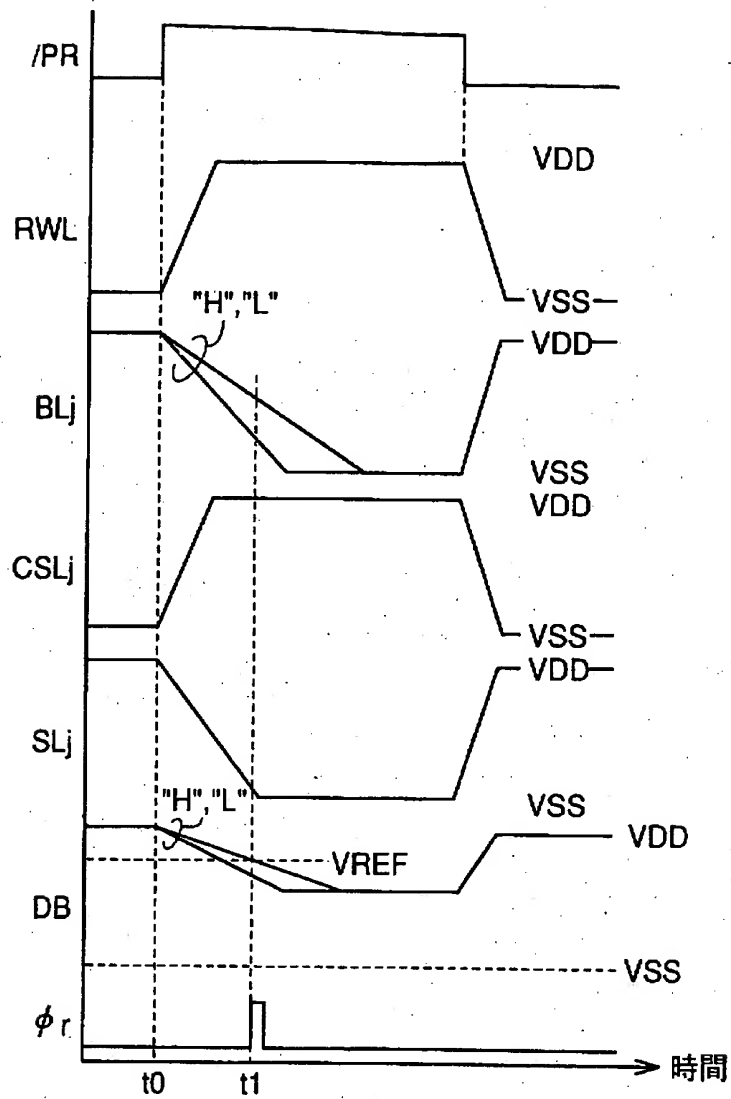
④ 【図2】



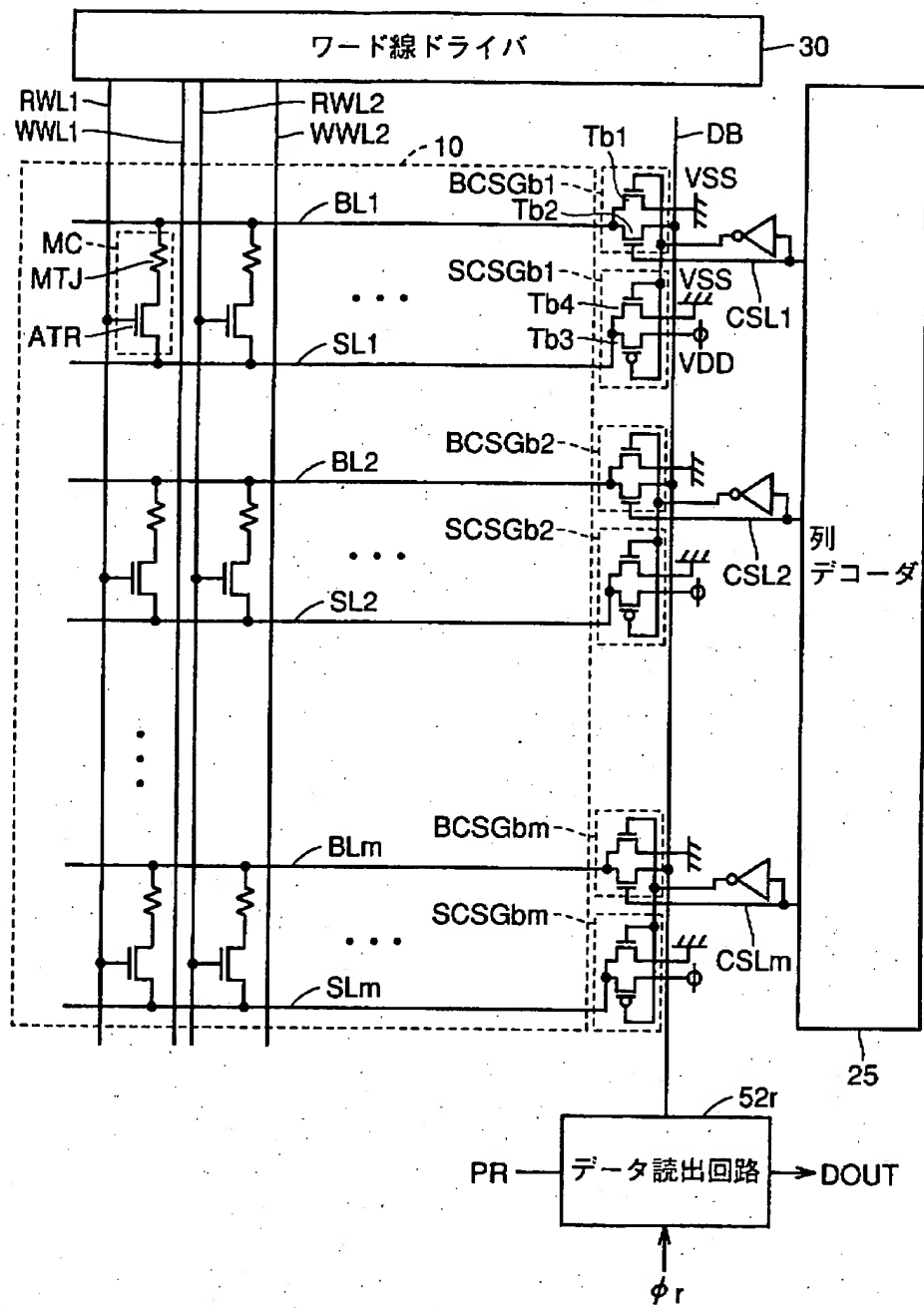
【図 3】



【図 4】

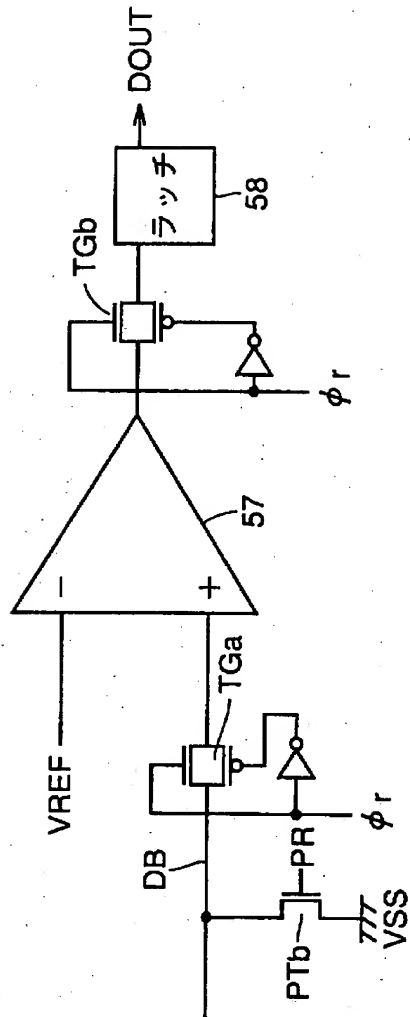


【図 5】

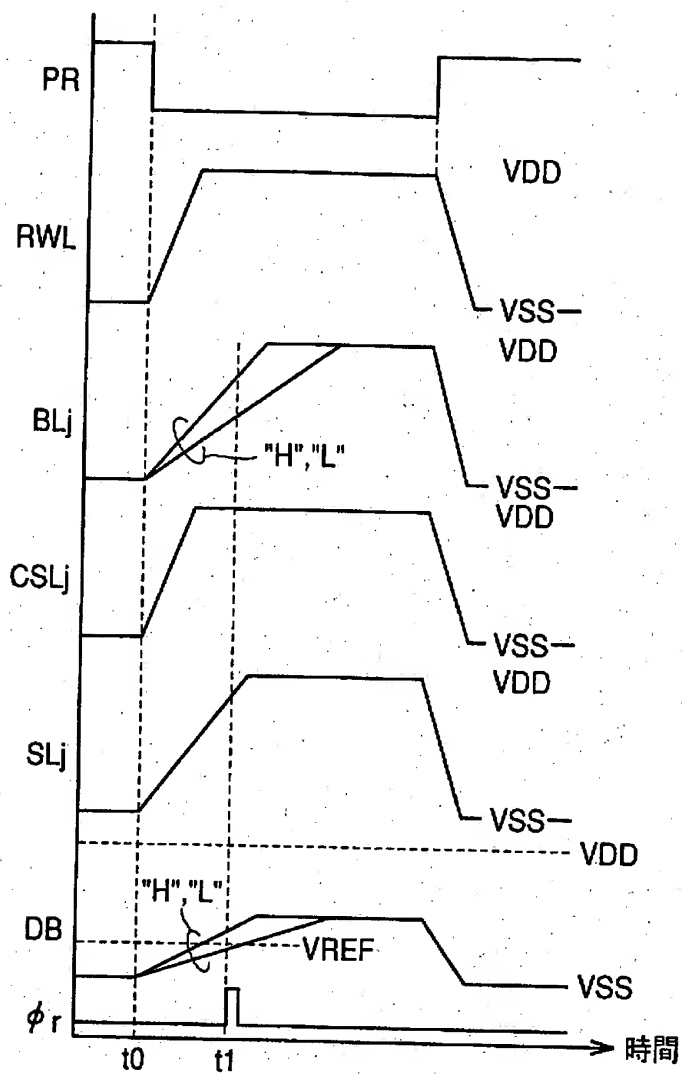


【図 6】

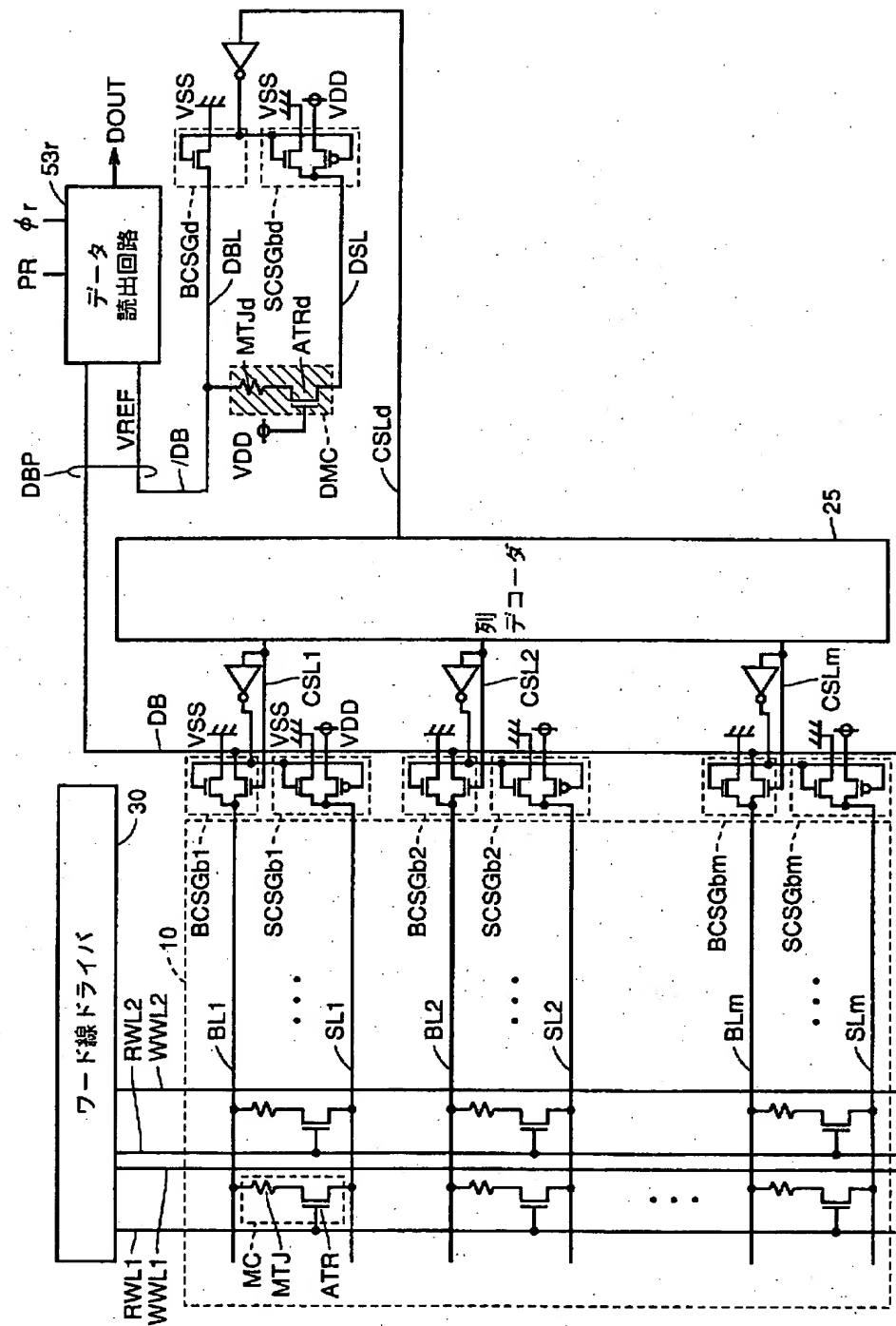
52r



【図7】

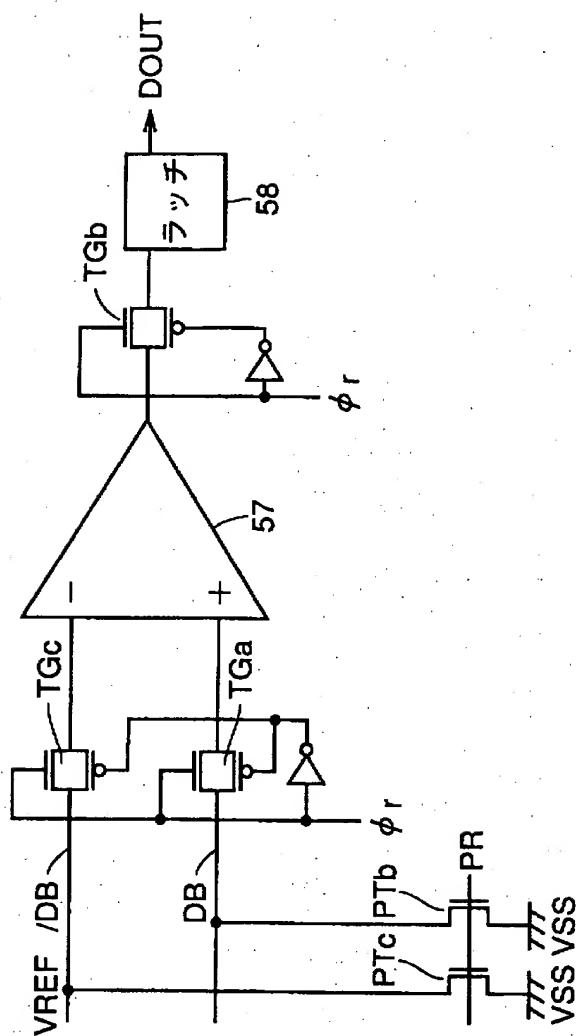


【図8】

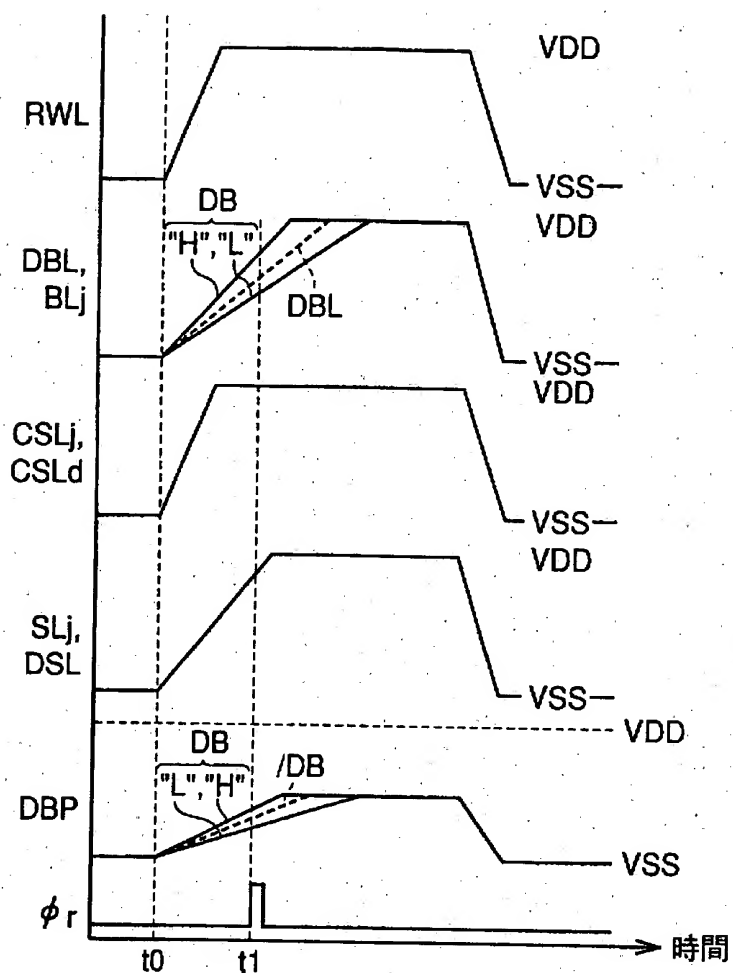


【図 9】

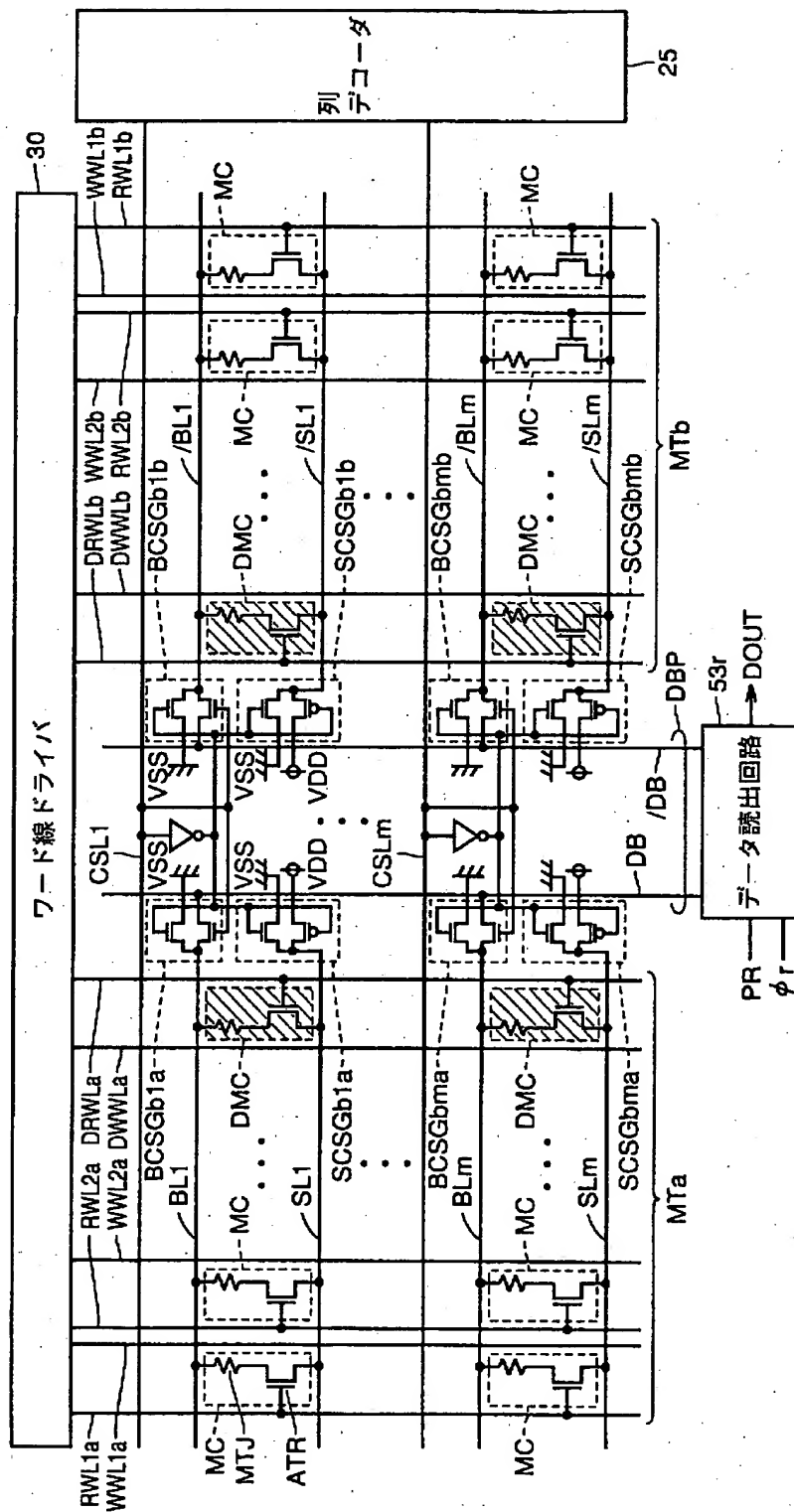
53r



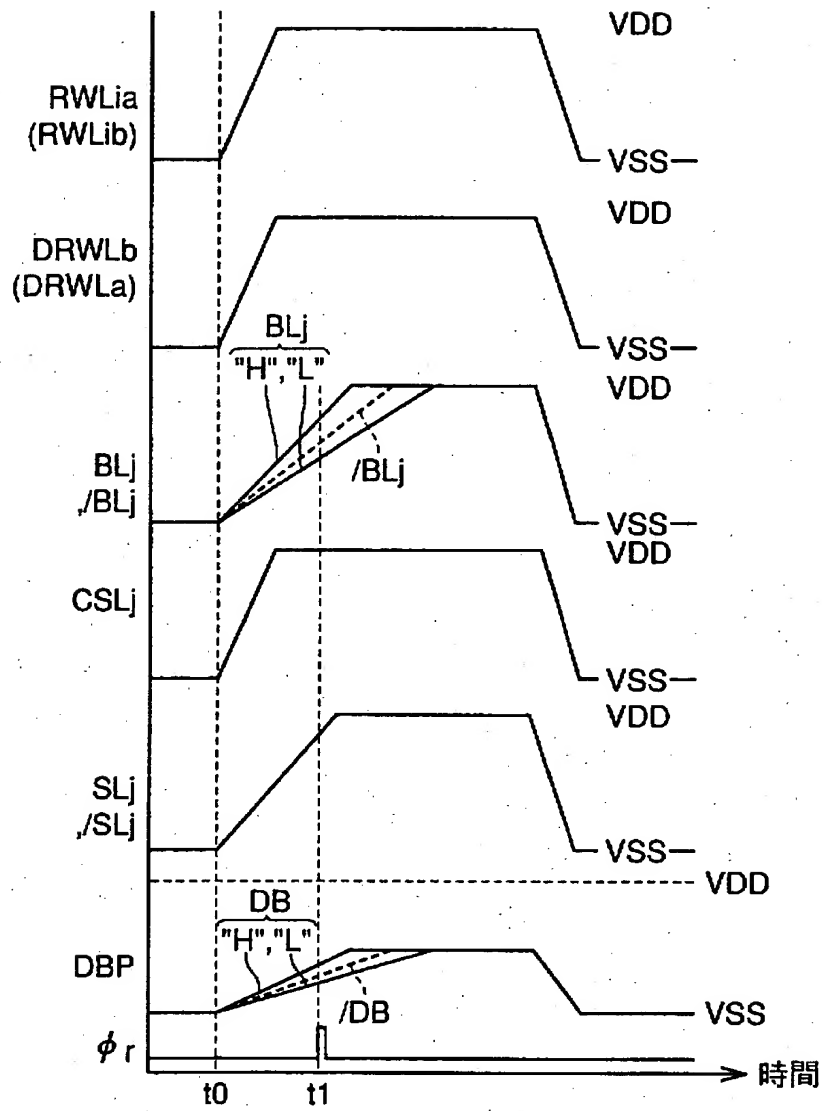
【図 10】



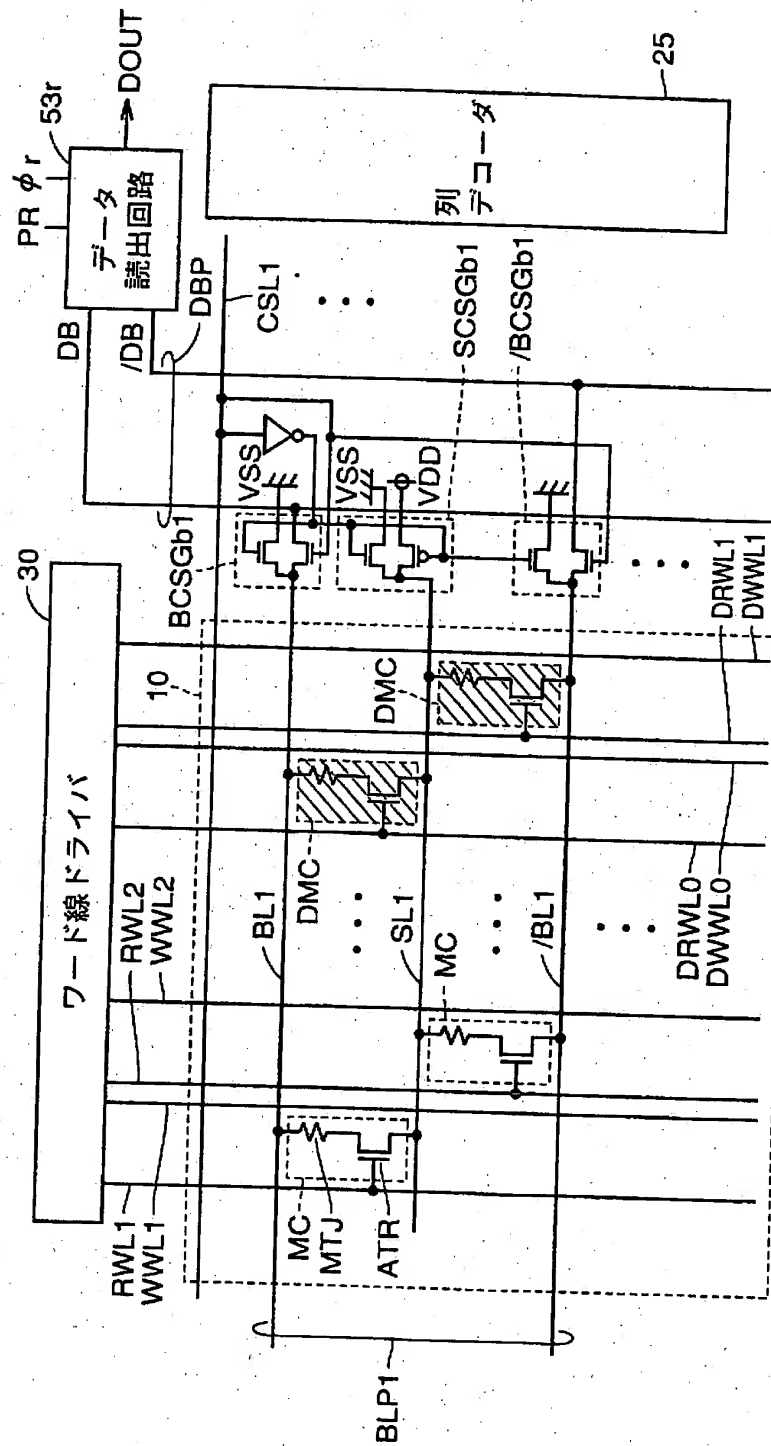
【図11】



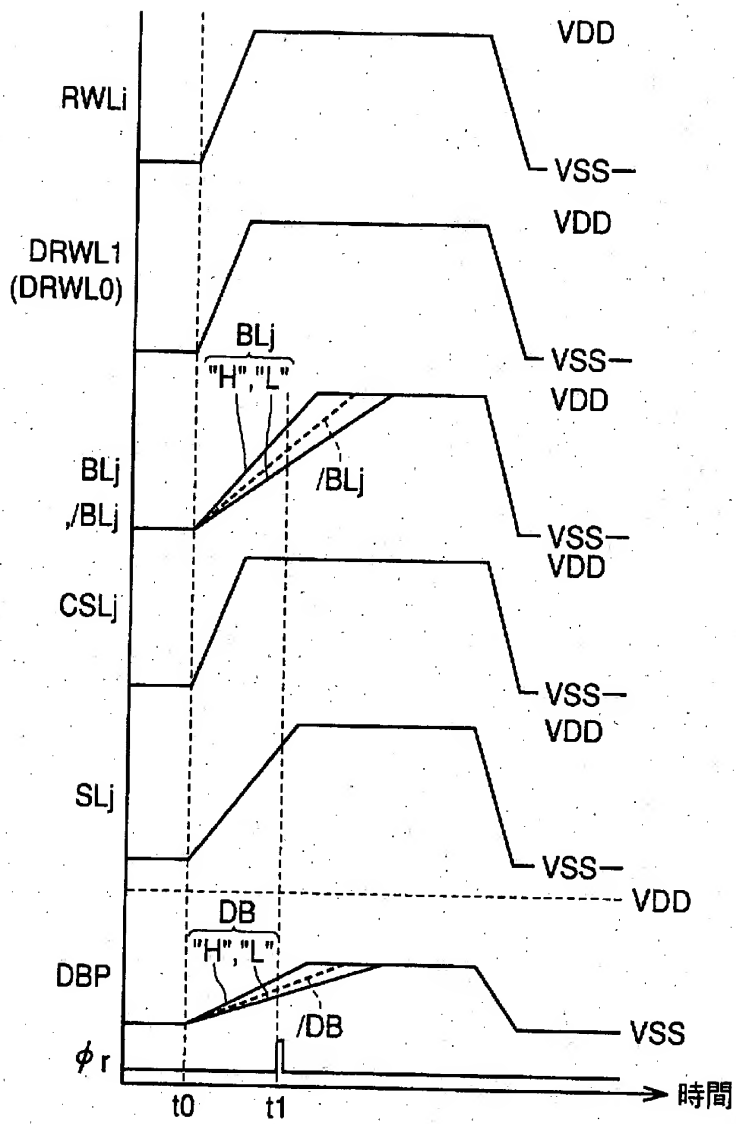
【図 12】



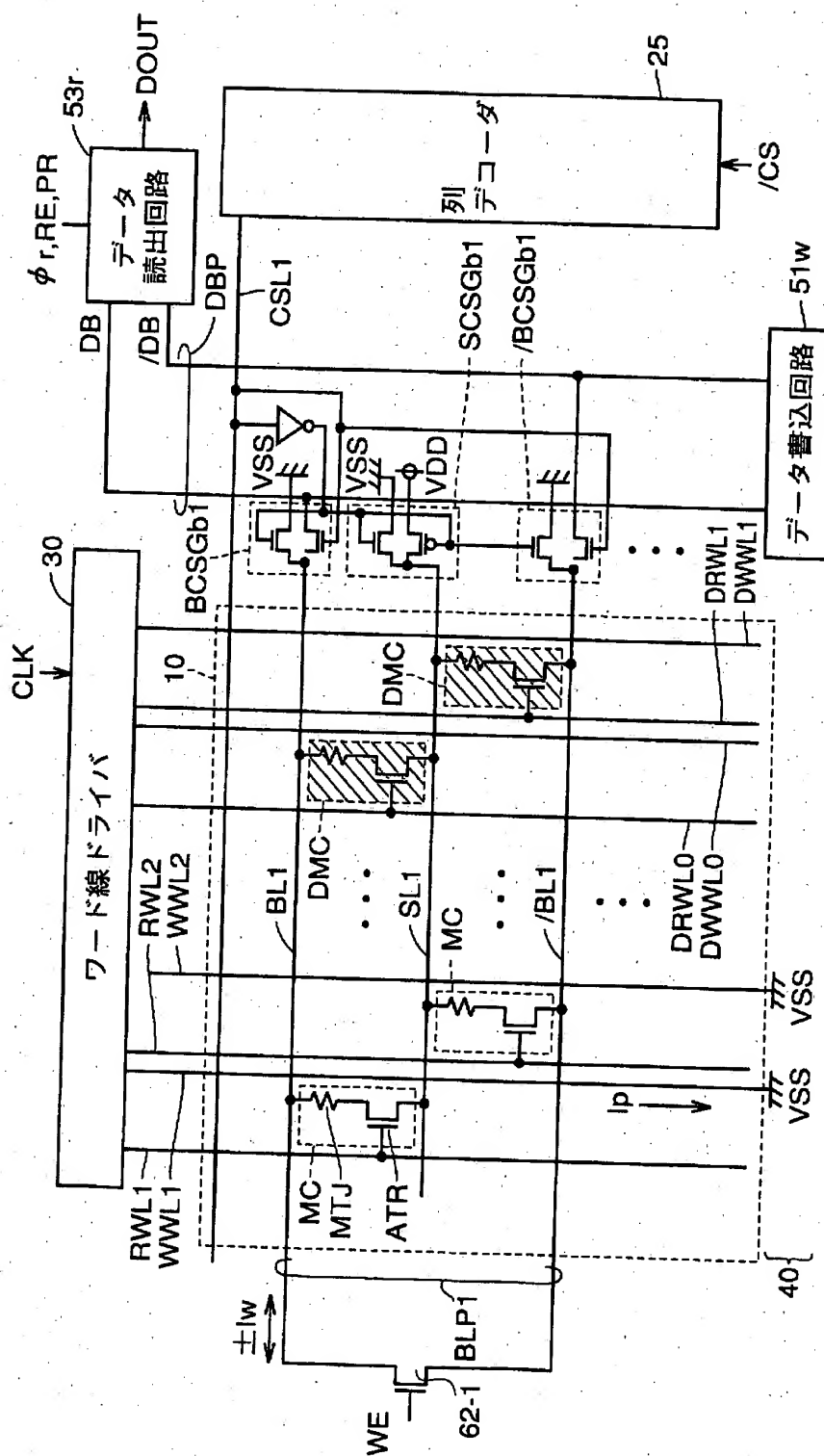
【図13】



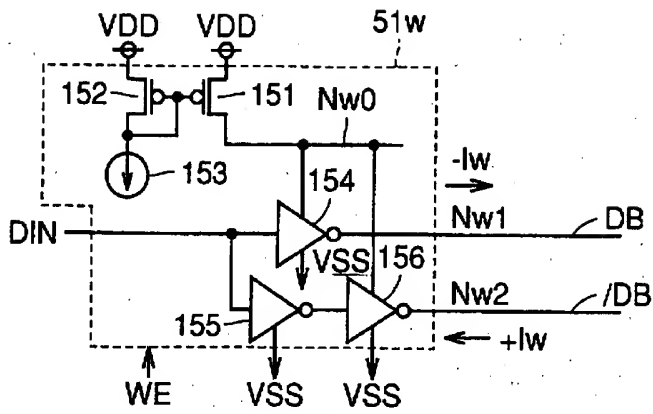
【図14】



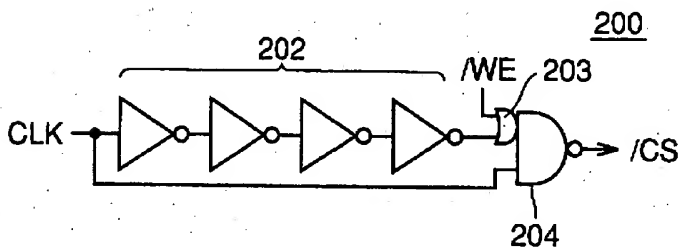
【図 15】



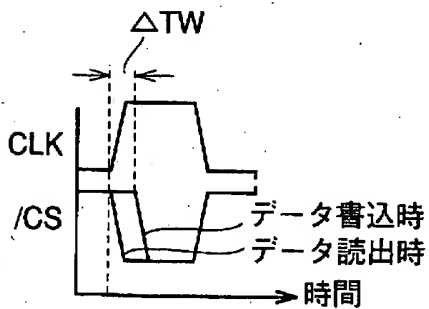
【図 16】



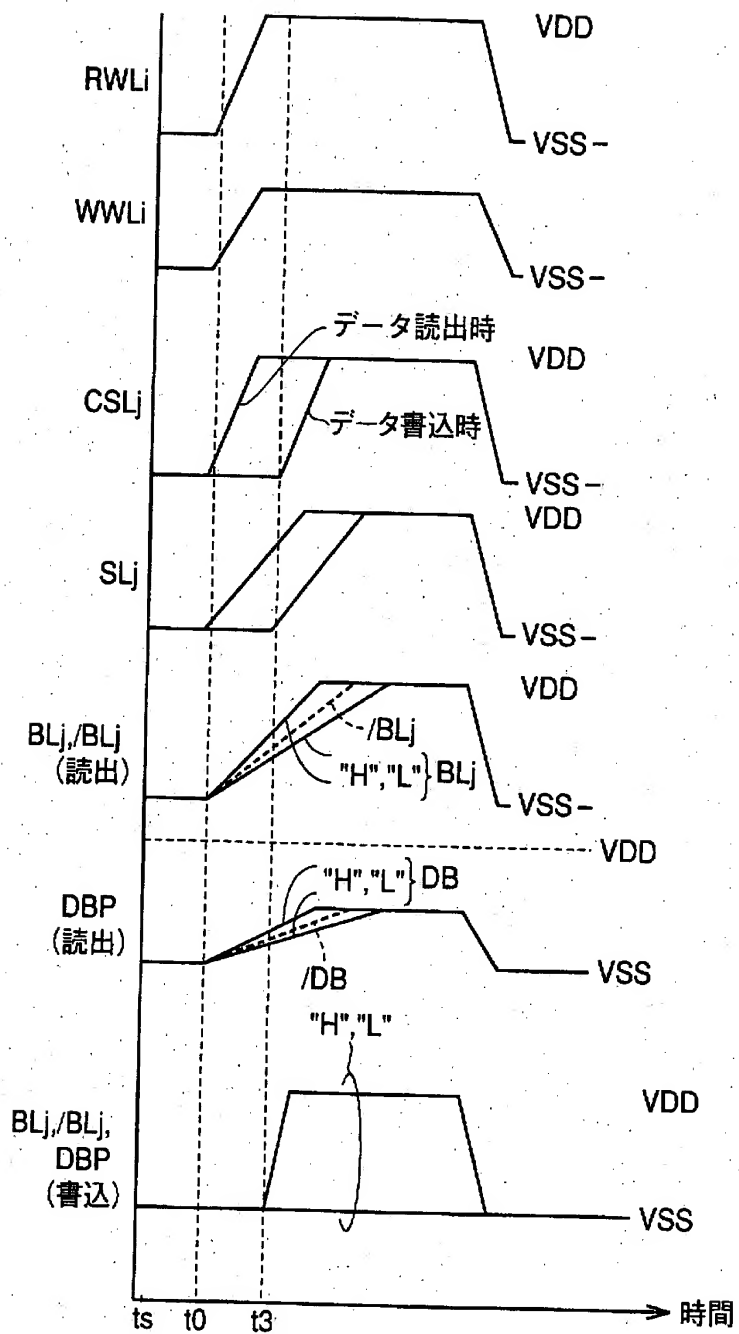
【図 17】



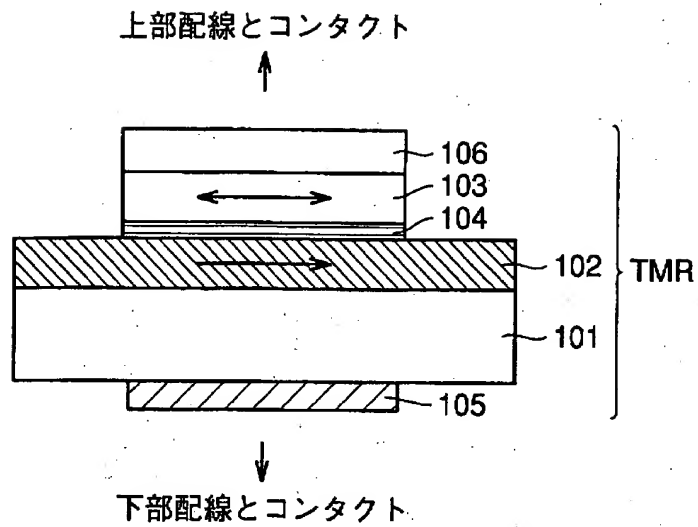
【図 18】



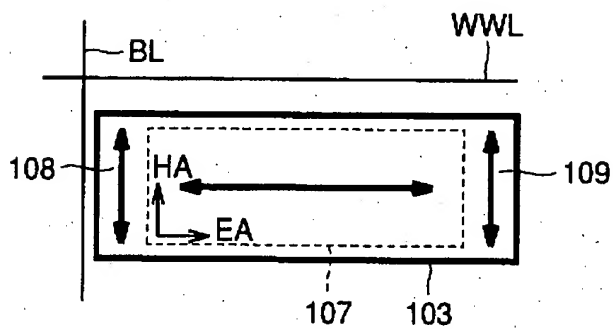
【図 19】



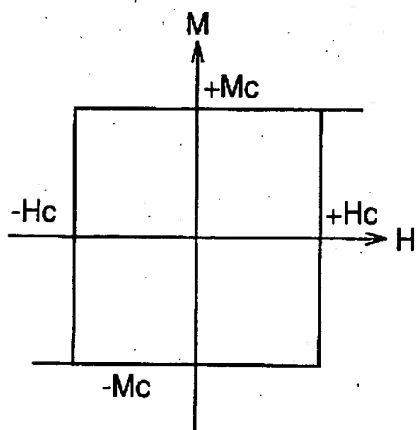
【図 20】



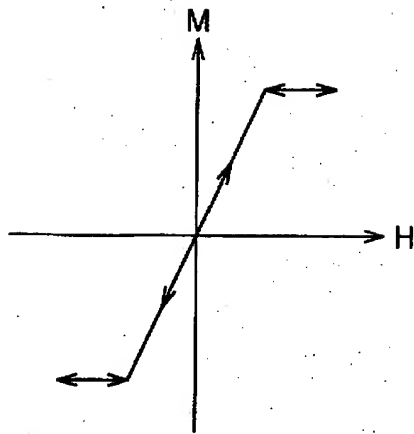
【図 21】



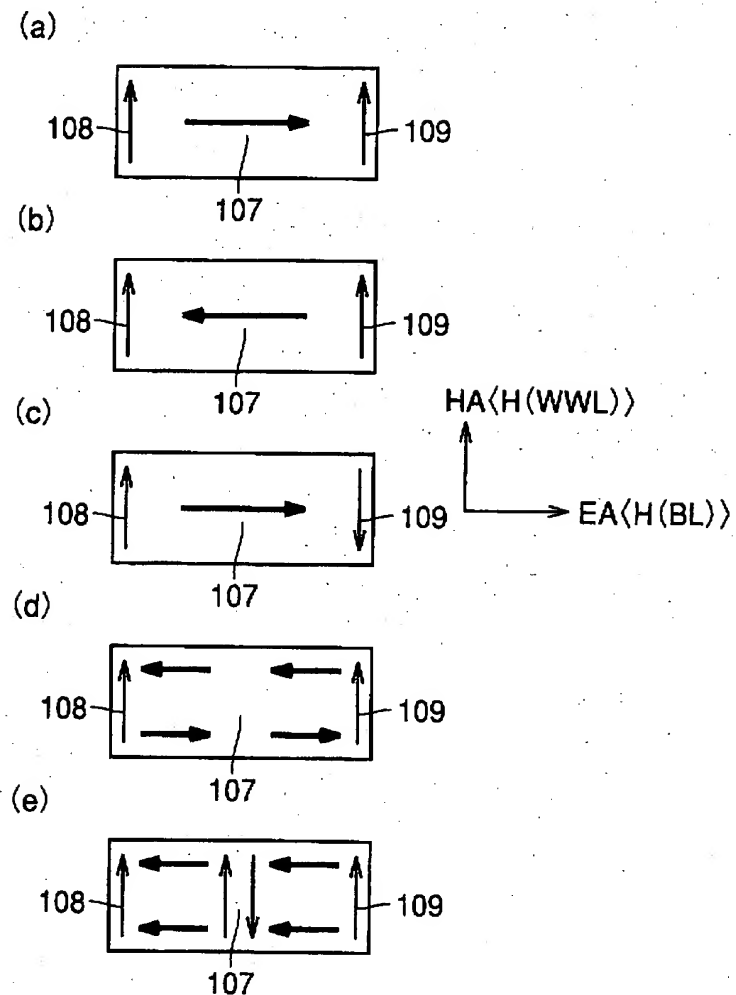
【図 22】



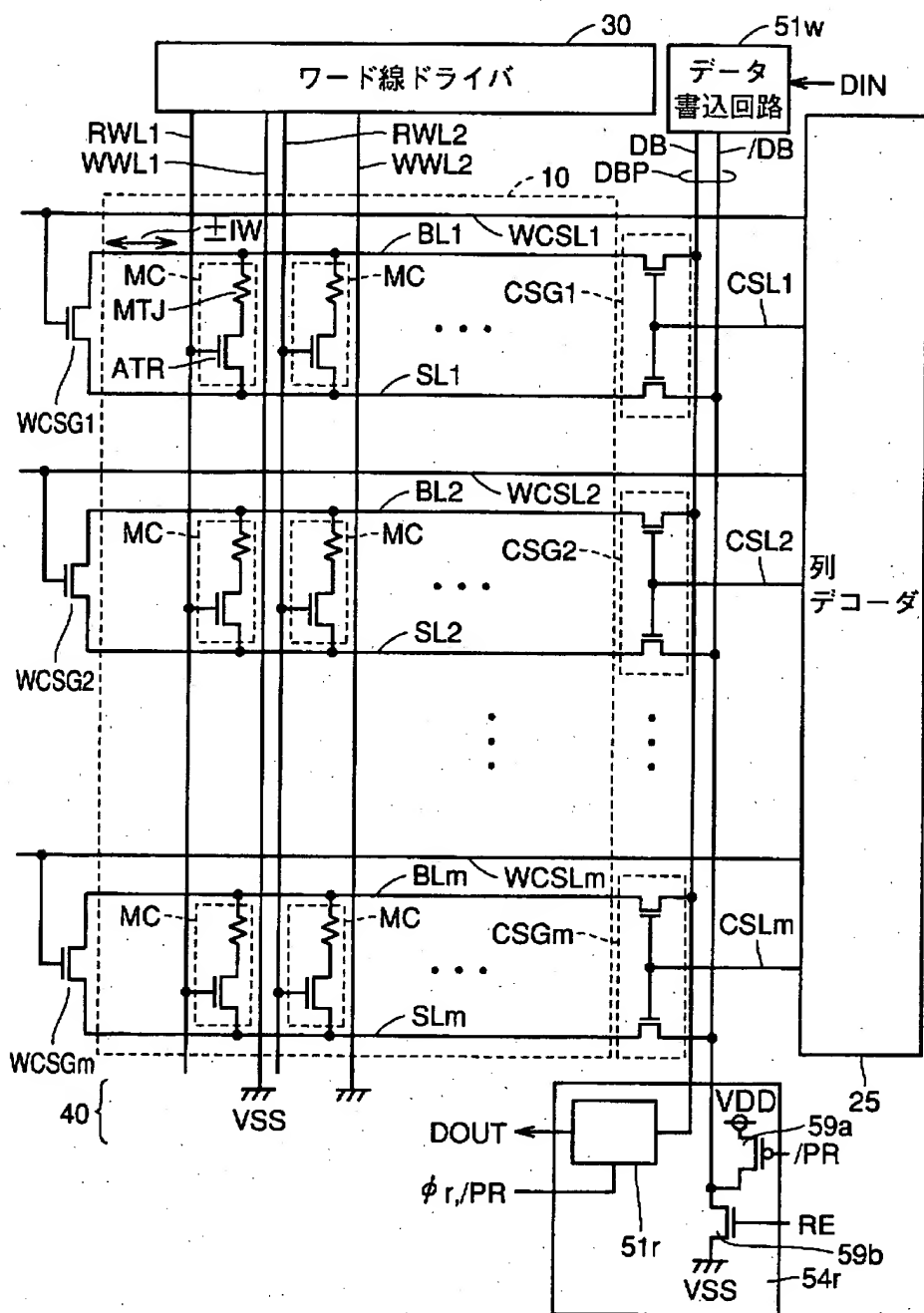
【図 2 3】



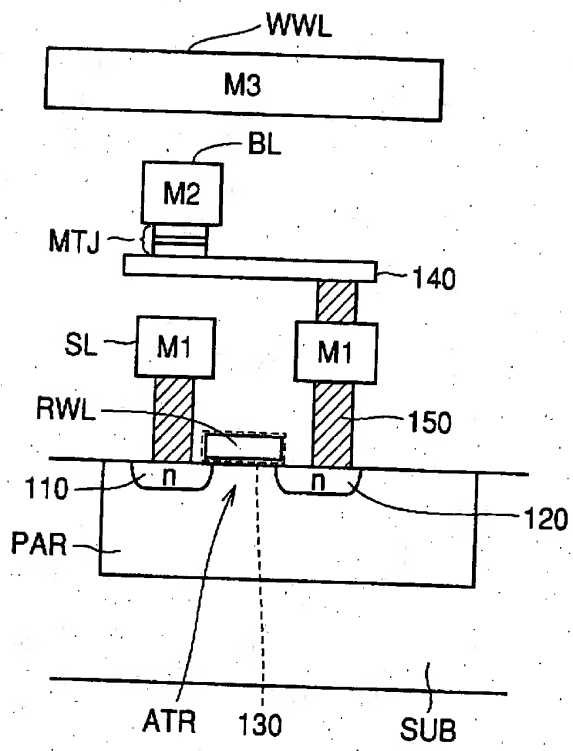
【図 2 4】



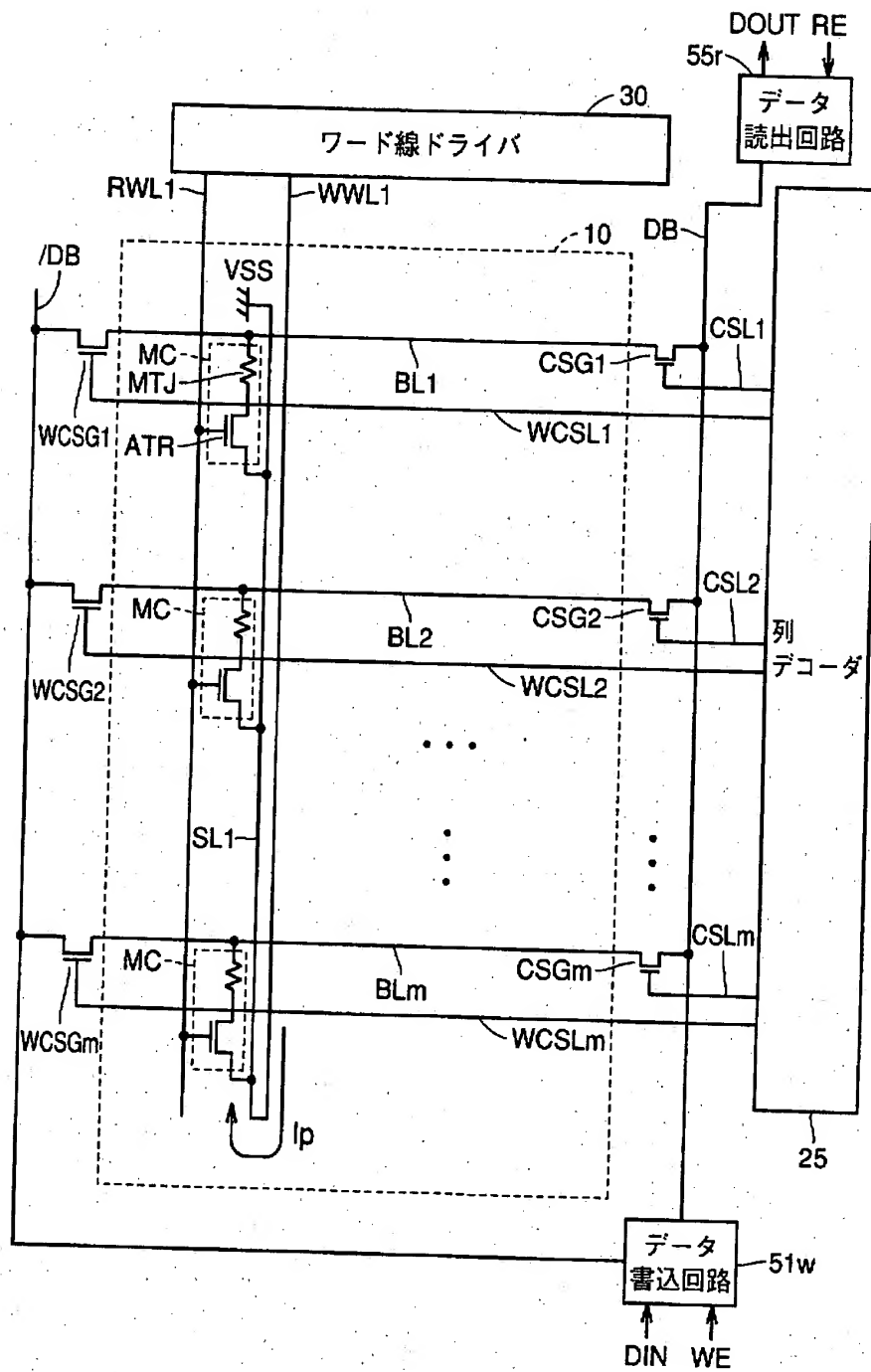
e 【图 2.5】



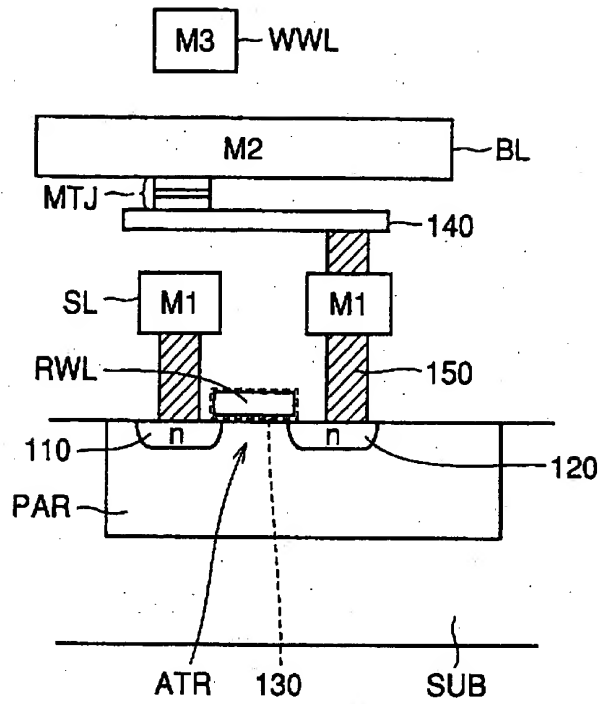
【図26】



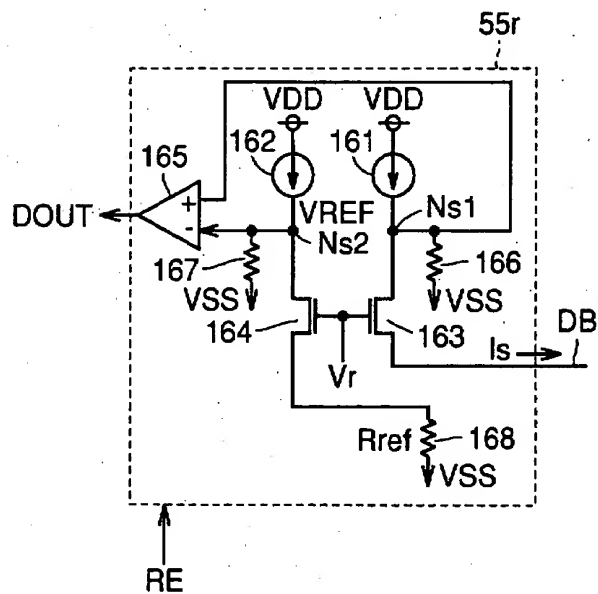
【図 27】



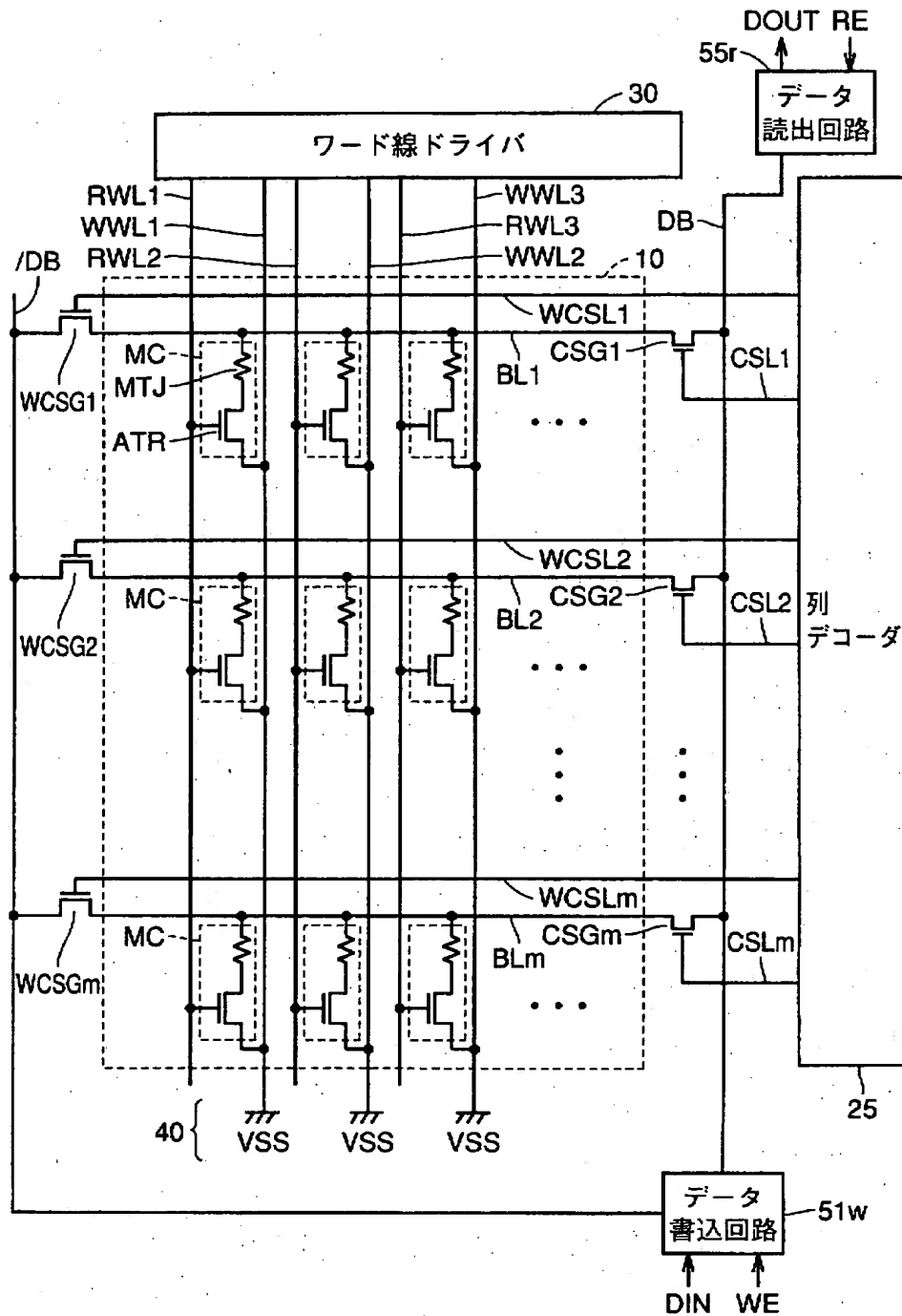
【図 28】



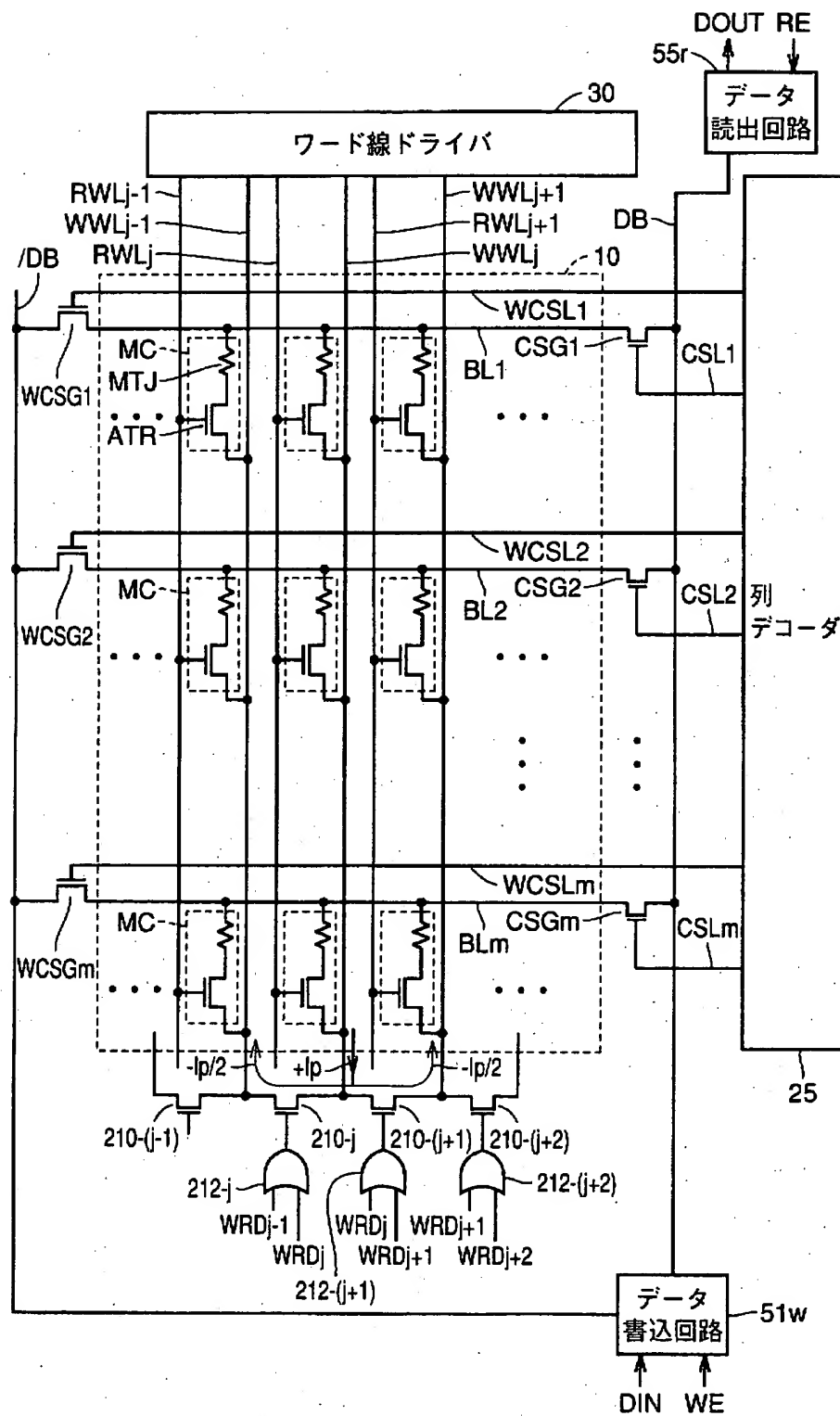
【図 29】



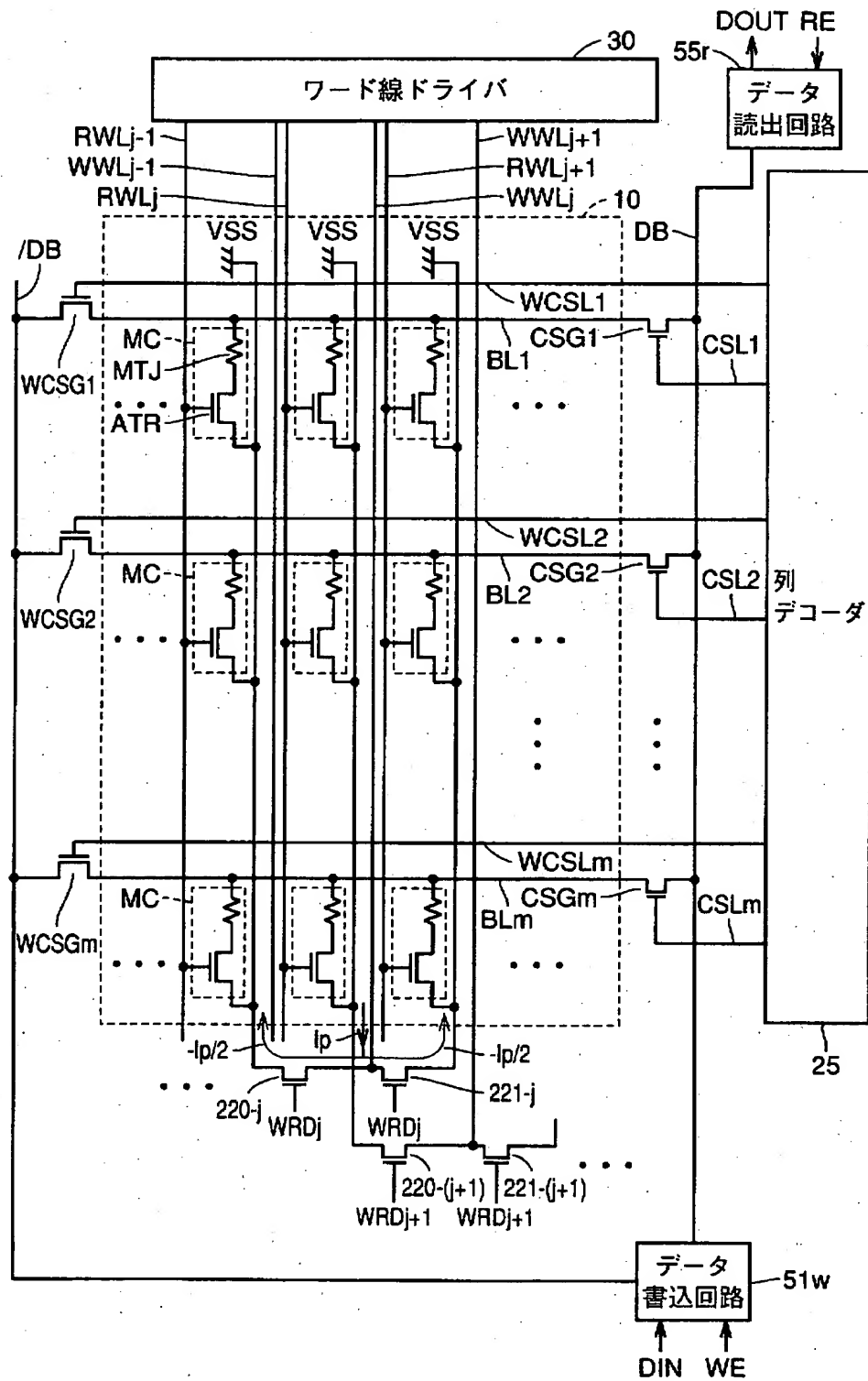
【図30】



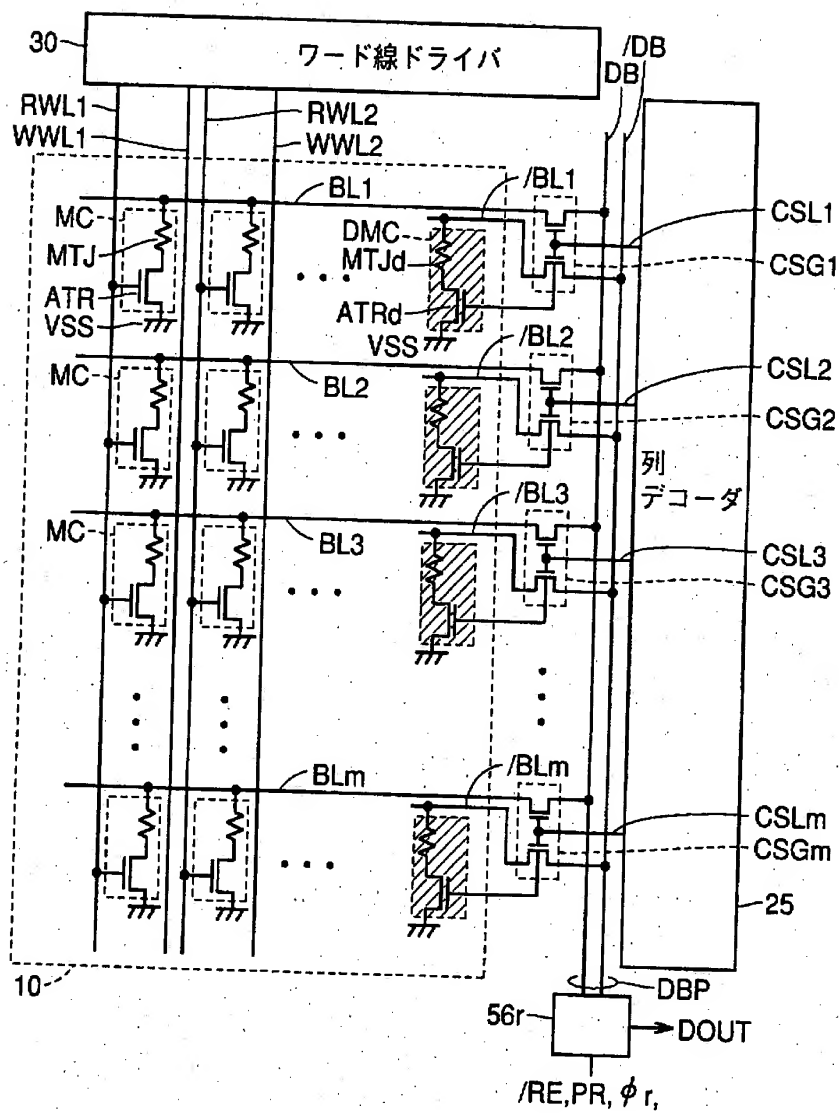
【図31】



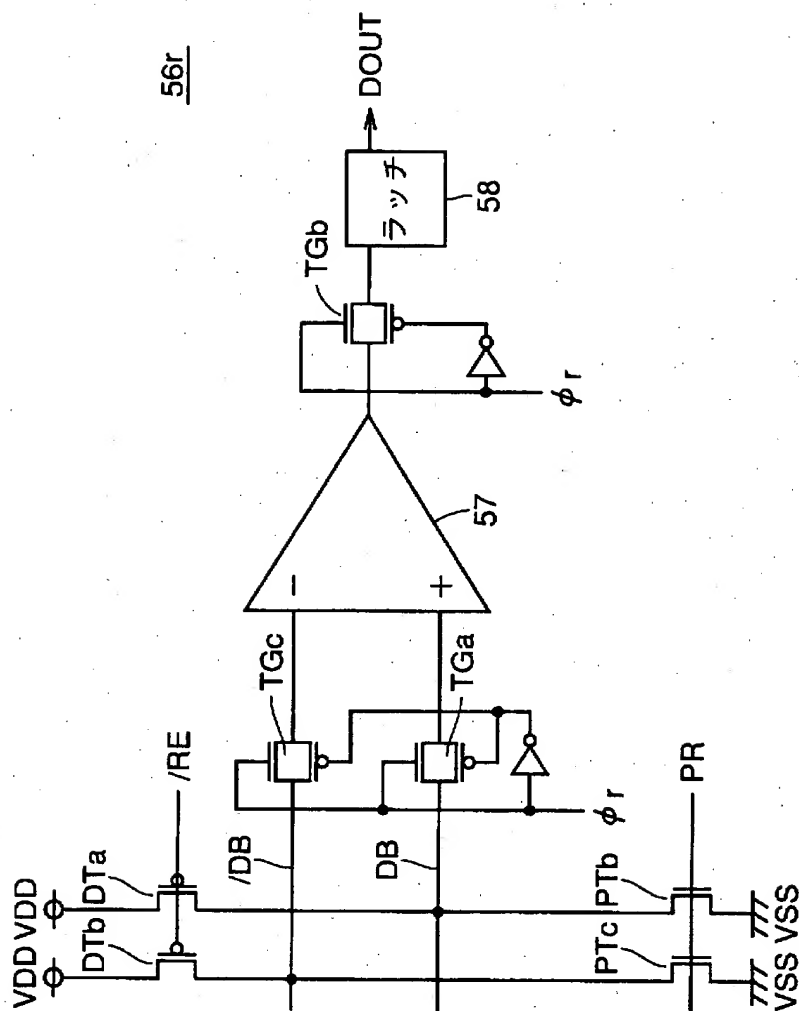
【図 32】



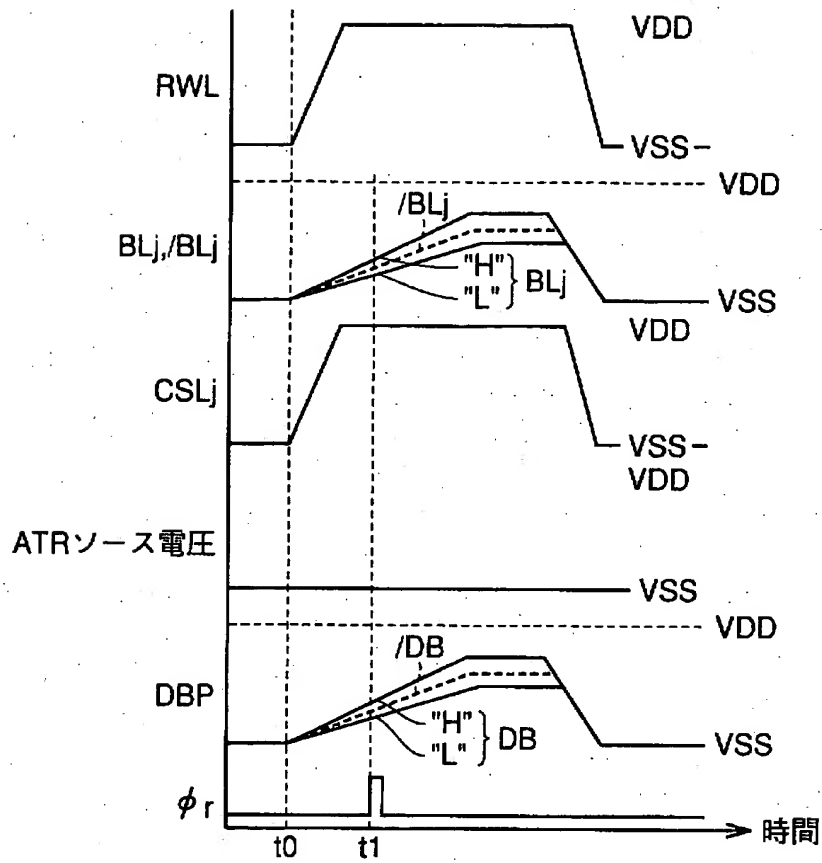
【図 3.3】



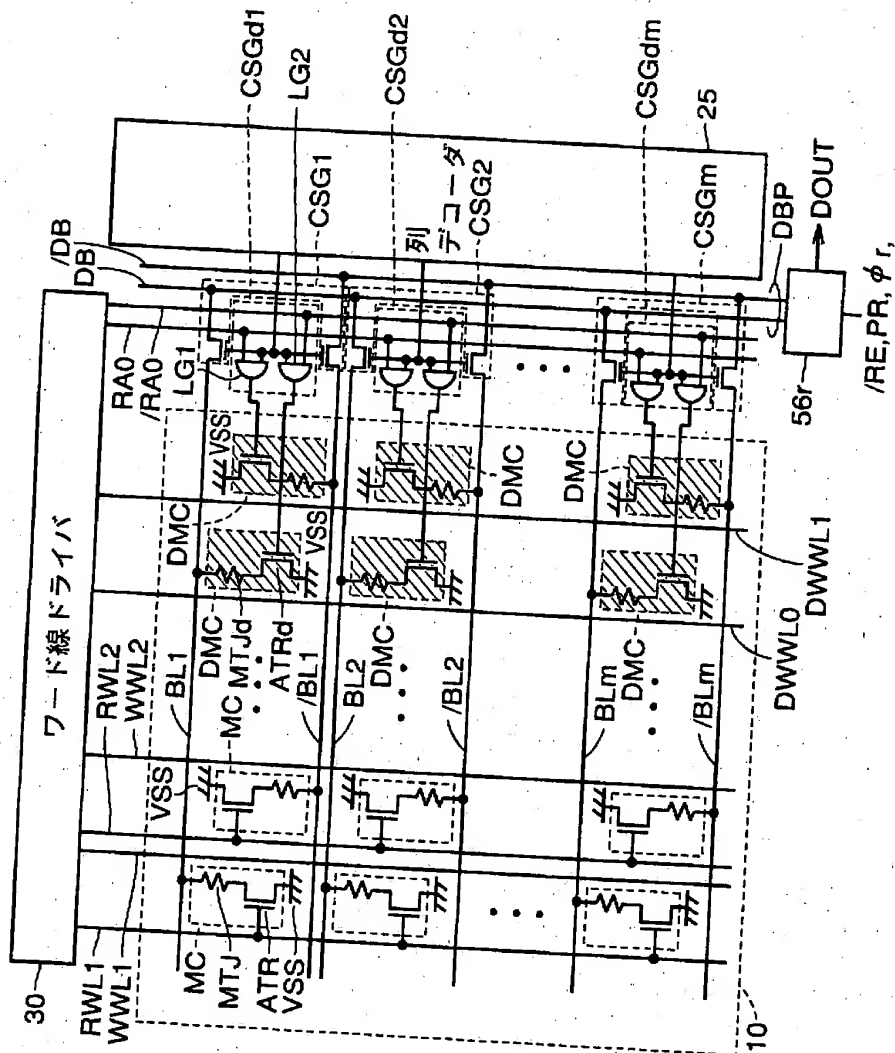
【図 3 4】



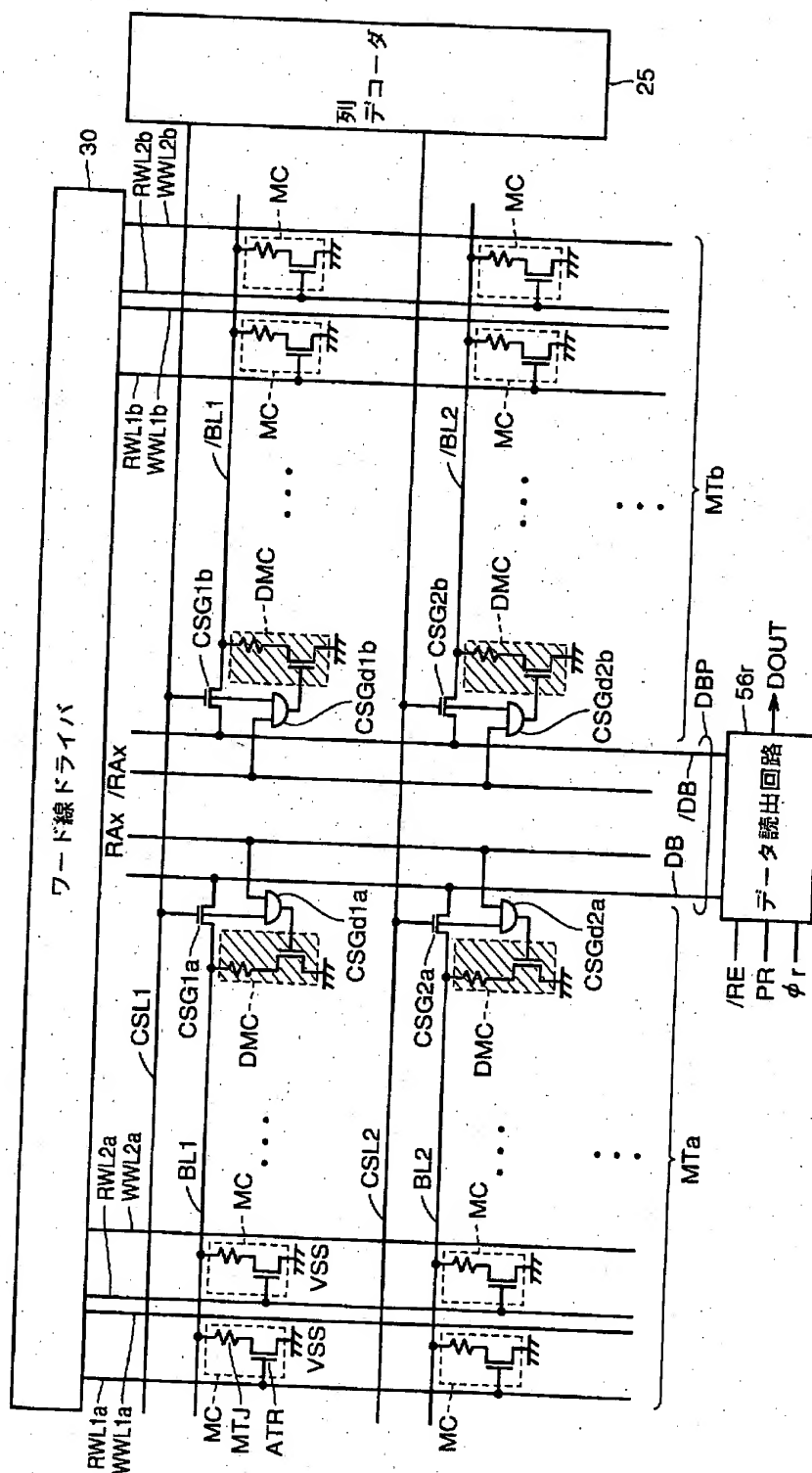
【図 35】



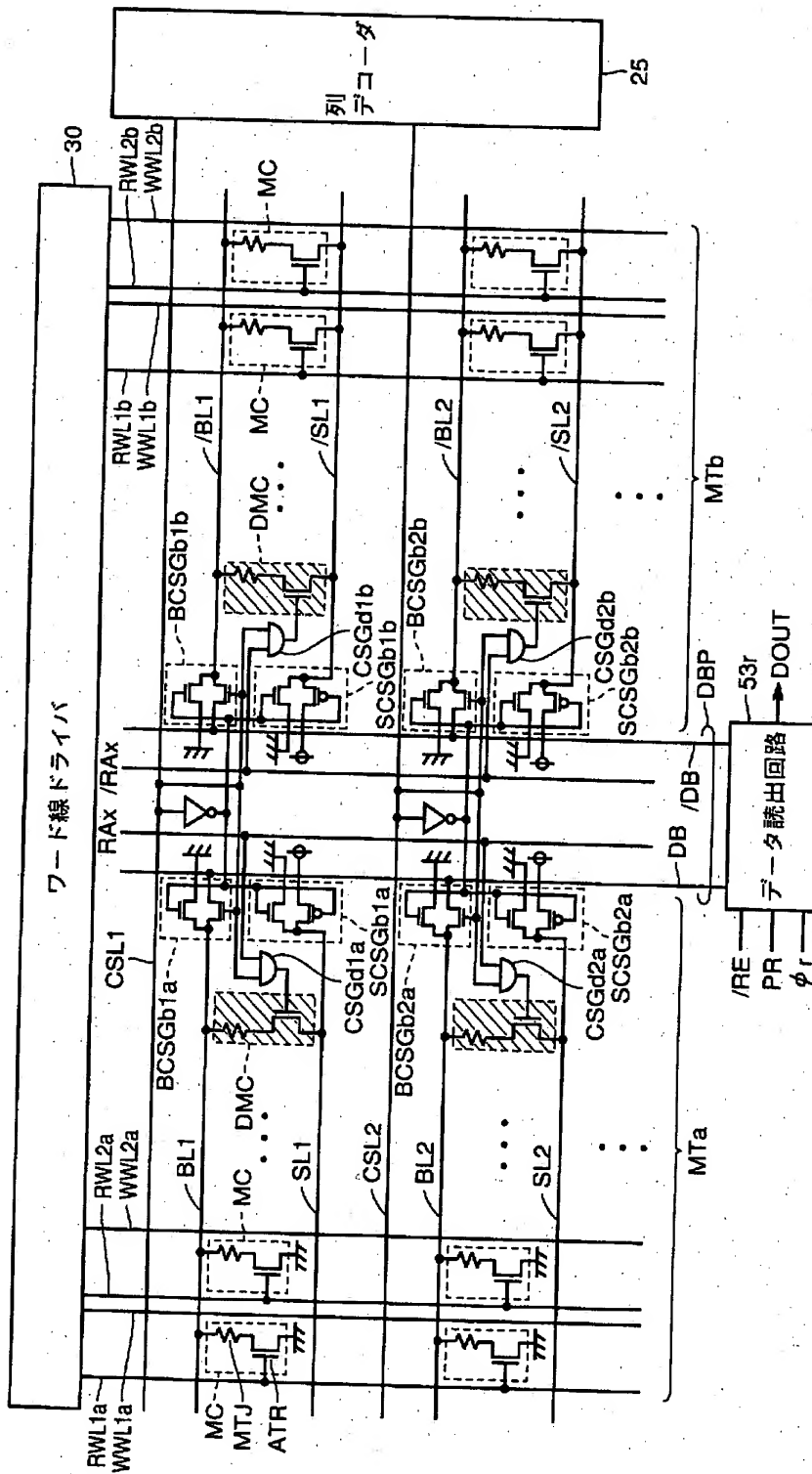
【図36】



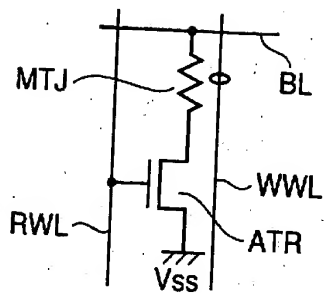
【図37】



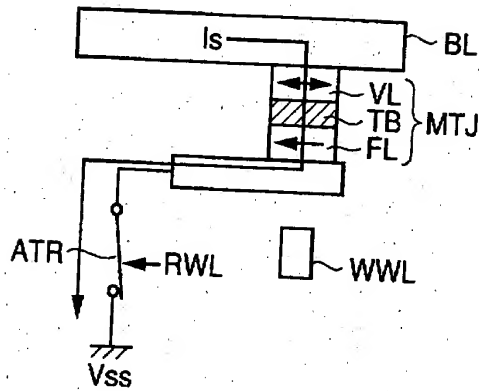
【図 38】



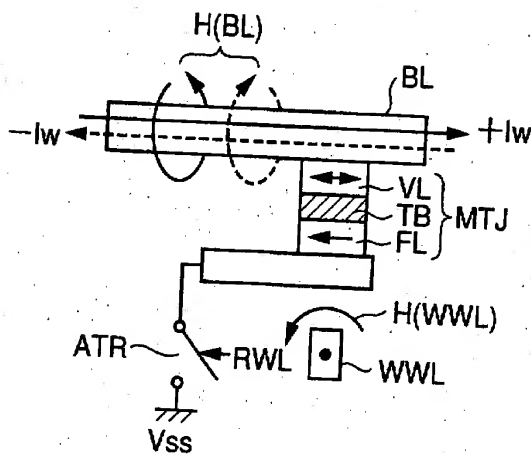
【図39】



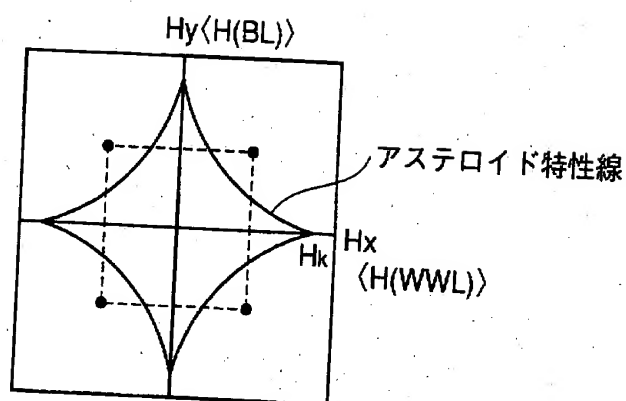
【図40】



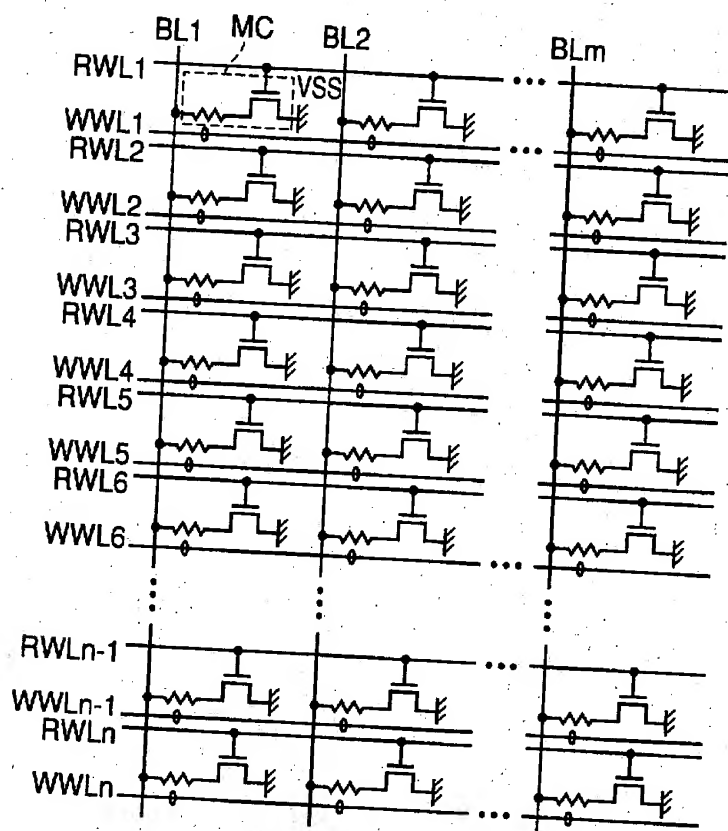
【図41】



【図42】



【図43】



【書類名】

要約書

【要約】

【課題】 磁気トンネル接合部を有する磁性体メモリセルによって形成されるM
RAMデバイスの低消費電力化を図る。

【解決手段】 データ読出前に、ビット線BLおよびソース線SLの各々は、電
源電圧VDDにプリチャージされる。データ読出時には、選択されたメモ
リセル列のみにおいて、対応するビット線BLがデータバスDBと結合されると
ともに、対応するソース線SLが接地電圧VSSに駆動される。非選択のメモリ
セル列においては、ビット線BLおよびソース線SLの各々は、プリチャージさ
れた電源電圧VDDに維持される。データ読出に直接寄与しない、非選択のメモ
リセル列に対応するビット線BLに充放電電流が生じないので、データ読出時の
消費電力を低減できる。

【選択図】

図2

特2001-145984

出願人履歴情報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社